

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 4 月 29 日 (29.04.2004)

PCT

(10) 国際公開番号  
WO 2004/036655 A1

(51) 国際特許分類: H01L 29/78  
(21) 国際出願番号: PCT/JP2003/012727  
(22) 国際出願日: 2003 年 10 月 3 日 (03.10.2003)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願 2002-304596  
2002 年 10 月 18 日 (18.10.2002) JP  
(71) 出願人 (米国を除く全ての指定国について): 独立  
行政法人産業技術総合研究所 (NATIONAL INSTI-  
TUTE OF ADVANCED INDUSTRIAL SCIENCE AND

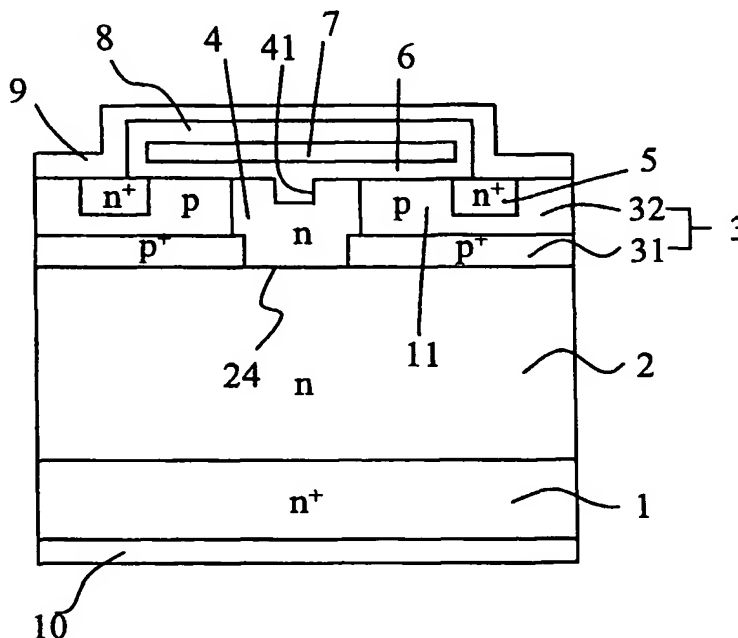
TECHNOLOGY) [JP/JP]; 〒100-8921 東京都千代田区  
霞が関一丁目 3 番 1 号 Tokyo (JP). 三洋電機株式会社  
(SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒570-8677  
大阪府守口市京阪本通 2 丁目 5 番 5 号 Osaka (JP).

(72) 発明者; および  
(73) 発明者/出願人 (米国についてのみ): 原田 信介  
(HARADA, Shinsuke) [JP/JP]; 〒305-8568 茨城県つく  
ば市梅園 1-1-1 中央第 2 独立行政法人産業技術  
総合研究所内 Ibaraki (JP). 八尾 勉 (YATSUO, Tsutomu)  
[JP/JP]; 〒305-8568 茨城県つくば市梅園 1-1-1  
中央第 2 独立行政法人産業技術総合研究所内  
Ibaraki (JP). 福田 憲司 (FUKUDA, Kenji) [JP/JP]; 〒  
305-8568 茨城県つくば市梅園 1-1-1 中央第 2  
独立行政法人産業技術総合研究所内 Ibaraki (JP).  
岡本 光央 (OKAMOTO, Mitsuo) [JP/JP]; 〒305-8568  
茨城県つくば市梅園 1-1-1 中央第 2 独立行政

[続葉有]

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 炭化ケイ素半導体装置及びその製造方法



(57) Abstract: A first deposition film (2) of low-concentration silicon carbide of first conductivity type is formed on a high-concentration silicon carbide substrate (1) of the first conductivity. A second deposition film (31) composed of a high-concentration gate region of second conductivity type having a first region that is a cut provided selectively on the first deposition film (2) and a third deposition film (32) composed of a second region that is a cut provided selectively on the second deposition film (31) and is wider than the first region, a high-concentration source region (5) of the first conductivity type, and a low-concentration gate region (11) of the second conductivity type are formed. A low-concentration base region (4) of the first conductivity type is formed in the first and second regions and is in contact with the first deposition film (2). As a result, a silicon carbide MOSFET having a low on-resistance and a high breakdown voltage is realized.

(57) 要約: 第1伝導型の高濃度炭化ケイ素基板(1)表面上に形成されている第1伝導型の低濃度炭化ケイ素からなる第1の堆積膜(2)が形成されている。前記第1の堆積膜(2)上に選択的に切り欠かれている第1の領域を有する第2伝導型の高濃度ゲート領域からなる第2の堆積膜(31)と、前記第2の堆積膜(31)上に選択的に切り欠かれている前記第1の領域より幅が広い第2の領域と前記第1伝導型の高濃度ソース領域(5)と第2伝導型の低濃度ゲート領域(11)からなる第3の堆積膜(32)とが形成されている。そして、第1伝導型の低濃度ベース領域(4)は、前記第1の堆積膜(2)に接し、前記第1の領域および第2の領域に形成されている。その結果、低いオン抵抗、且つ高耐圧の炭化ケイ素縦型MOSFETを実現する



法人産業技術総合研究所内 Ibaraki (JP). 安達 和広 (ADACHI,Kazuhiro) [JP/JP]; 〒305-8568 茨城県 つくば市 梅園 1-1-1 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 鈴木 誠二 (SUZUKI,Seiji) [JP/JP]; 〒570-8677 大阪府 守口市 京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP).

(74) 代理人: 福田 賢三, 外(FUKUDA,Kenzo et al.); 〒105-0003 東京都 港区 西新橋一丁目 6 番 1 3 号 柏屋ビル Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK,

SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

## 炭化ケイ素半導体装置及びその製造方法

## 技術分野

本発明は、炭化ケイ素基板上に作製した縦型MOSFETの構造および、その製造方法に関するものである。

5

## 背景技術

炭化ケイ素(SiC)は、シリコン(Si)と比較して、1. バンドギャップが広い、2. 絶縁破壊強度が大きい、3. 電子の飽和ドリフト速度が大きいなどの優れた物性を有する。したがって、炭化ケイ素(SiC)を基板材料として用いることにより、シリコン(Si)の限界を超えた高耐圧で低抵抗の電力用半導体素子が作製できる。

また、炭化ケイ素(SiC)には、シリコン(Si)と同様に、熱酸化によって絶縁層を形成できるという特徴がある。これらの理由から、炭化ケイ素(SiC)を基板材料とした高耐圧で低いオン抵抗の縦型MOSFETが実現できると考えられ、数多くの研究開発が行われている。

第12図は代表的なプレーナ型縦型MOSFETの単位セルを説明するための模式断面図である。第12図において、高濃度n<sup>+</sup>型基板1上に低濃度n型ドリフト層2が堆積されている。低濃度n型ドリフト層2内には表面から、選択的にp型ウェル層3が形成されている。また、前記p型ウェル層3に挟まれた領域には、低濃度n型ベース領域4が存在する。

また、前記p型ウェル層3内には、選択的に高濃度n<sup>+</sup>型ソース領域5が形成されている。前記低濃度n型ベース領域4と、前記高濃度n<sup>+</sup>型ソース領域5に挟まれた部分との表面には、ゲート絶縁膜6を介してゲート電極7が設けられている。前記ゲート電極7上には、層間絶

25

縁膜 8 を介して前記高濃度  $n^+$  型ソース領域 5 と前記  $p$  型ウェル層 3 の一部との表面に低抵抗接続されたソース電極 9 が形成されている。

高濃度  $n^+$  型基板 1 の裏面には、ドレイン電極 10 が形成されている。この構造のプレーナ型縦型 MOSFET では、ゲート電極 7 に、し  
5 きい値電圧以上のゲート電圧が印加されると、 $p$  型ウェル層 3 の表面に電子が誘起され、チャネル領域 11 の表面層に  $n$  型反転層が形成される。これによって、高濃度  $n^+$  型ソース領域 5 と低濃度  $n$  型ドリフト層 2 が導通状態になり、ドレイン電極 10 からソース電極 9 へ電流を流すことができる。

10 ゲート電圧がしきい値電圧以下の場合、高濃度  $n^+$  型ソース領域 5 と低濃度  $n$  型ドリフト層 2 は絶縁状態となる。この状態でドレイン電極 10 へ電圧が印加されると、 $p$  型ウェル層 3 と低濃度  $n$  型ベース領域 4 との接合部分から延びた空乏層によって低濃度  $n$  型ベース領域 4 がピンチオフされる。さらに、ドレイン電極 10 への電圧を増加すると、  
15 、空乏層が低濃度  $n$  型ドリフト層 2 内を延びる。この最大印加電圧は、低濃度  $n$  型ドリフト層 2 の厚さによって制限され、素子の耐圧が決定される。

基板材料にシリコン (Si) を用いた場合は、プレーナ型縦型 MOSFET は、二重拡散法によって作製される。第 13 図 (a) 乃至 (f) 及び第 14 図 (a)、(b) は前記二重拡散法によるシリコン (Si) を使用したプレーナ型縦型 MOSFET の作製方法を説明するための図である。まず、高濃度  $n^+$  型基板 1 表面上には、低濃度  $n$  型ドリフト層 2 が堆積される。次に、前記低濃度  $n$  型ドリフト層 2 の表面には、酸化法によりゲート絶縁膜 6 が形成される。

25 前記ゲート絶縁膜 6 の上には、多結晶シリコン 7a が堆積されて、第 13 図 (a) に示すようになる。そして、前記多結晶シリコン 7a は、フォトリソグラフィによりパターン加工されてゲート電極 7 が第 13 図 (b) に示すように形成される。次に、第 13 図 (c) に示すように、ゲート電極 7 をマスクとした選択的な  $p$  型不純物イオン注入

3 a が行われる。

その後、熱拡散によって、第 13 図 (d) に示すように、p 型ウェル層 3 が形成される。この時、ボロンなどの p 型不純物は、拡散係数が大きいのでマスクの下まで侵入する。さらに、第 13 図 (e) に示すように、同じマスクを用いてリンなどの n 型不純物イオン注入 5 a が行われる。その後、第 13 図 (f) に示すように、熱拡散で高濃度 n<sup>+</sup>型ソース領域 5 が形成される。

この時、第 14 図 (a) に示すように、リンなどの n 型不純物は、ボロンなどの p 型不純物に比べ拡散係数が小さく、横方向の拡散長の差によってチャネル領域 11 が形成される。次いで、CVD 法により表面上に層間絶縁膜 8 が堆積され、その層間絶縁膜 8 に窓が開けられる。第 14 図 (b) に示すように、高濃度 n<sup>+</sup>型ソース領域 5 ならびに p 型ウェル層 3 のそれぞれの表面には、ソース電極 9 が低抵抗接触で形成される。

この二重拡散法によるシリコンを使用したプレーナ型縦型 MOSFET において、チャネル領域 11 の表面層に誘起されるチャネル内の伝導電子は、イオン注入などによって生ずる結晶欠陥などによる散乱を受けないため、数  $100 \text{ cm}^2/\text{Vs}$  という高いチャネル移動度を持ち、これによって低いオン抵抗が実現されている。

これに対して、炭化ケイ素基板（高濃度 n<sup>+</sup> 型基板）1 を用いた場合、第 12 図に示す構造のプレーナ型縦型 MOSFET は、第 13 図および第 14 図に示すように、二重拡散法を用いて作製できない。その理由は、不純物元素の拡散係数が炭化ケイ素基板（低濃度 n 型ドリフト層）2 内で、極めて小さいため、p 型不純物および n 型不純物の横方向拡散長の差によって、チャネル領域 11 を形成することが出来ないからである。

炭化ケイ素プレーナ型縦型 MOSFET は、普通、以下に述べる二重イオン注入法によって作製されている。第 15 図 (a) 乃至 (f) および第 16 図 (a)、(b) は従来における二重イオン注入法を用

いた典型的な炭化ケイ素プレーナ型縦型MOSFETの作製方法を示す。まず、第15図(a)において、炭化ケイ素基板(高濃度 $n^+$ 型基板)1上には、低濃度 $n$ 型ドリフト層2が堆積される。第15図(b)に示すように、前記低濃度 $n$ 型ドリフト層2の表面には、マスク12が設けられる。

前記低濃度 $n$ 型ドリフト層2には、その表面に設けられた前記マスク12を介して、選択的に $p$ 型不純物イオン3aが注入される。このとき、注入の加速電圧は、高くなると、深い低濃度 $n$ 型ドリフト層2まで $p$ 型不純物イオン3aが注入される。次に、第15図(c)に示すように、前記低濃度 $n$ 型ドリフト層2には、サイズの異なるマスク13が設けられる。 $n$ 型不純物イオン5aは、前記マスク13を介して選択的に注入される。

このときの加速電圧は、 $n$ 型不純物イオン5aの飛程距離が $p$ 型不純物イオン3aの飛程距離よりも小さくなるように設定される。そして、第15図(d)に示すように、前記マスク13を除去した後に、熱処理により、注入イオン領域は、活性化され、高濃度 $n^+$ 型ソース領域5と $p$ 型ウェル層3が形成される。ここで、熱処理による注入イオンの拡散は、非常に小さいため、注入されたイオンのプロファイルがほぼそのまま各層を形作ることになる。

その後、第15図(e)に示すように、熱酸化によって、前記表面にゲート絶縁膜6が形成される。また、前記ゲート絶縁膜6の上には、多結晶シリコンまたは金属7aが堆積される。前記多結晶シリコンまたは金属7aは、第15図(f)に示すように、フォトリソグラフィにより、パターン加工が施され、ゲート電極7が形成される。

次いで、第16図(a)に示すように、前記ゲート電極7の表面上には、CVD法により、層間絶縁膜8が堆積される。第16図(b)に示すように、前記層間絶縁膜8には、窓が開けられ、高濃度 $n^+$ 型ソース領域5ならびに低濃度 $p$ 型ウェル層3の表面に低抵抗接続されるソース電極9が形成される。

この方法では、チャネル領域 11 がイオン注入によって形成されているために、イオン注入によって誘起された多数の結晶欠陥が含まれる。また、イオン注入された p 型不純物元素は、1600℃以上という高温の熱処理を施しても、十分に電氣的活性化されない。したがって、十分な不純物濃度を得るためには、その分注入量を高くする必要があり、欠陥の発生量を増大させることになる。

その結果、チャネル領域 11 の表面層に誘起されるチャネル内の伝導電子は、欠陥などによって散乱され、移動度が低下する。したがって、二重イオン注入法で作製された炭化ケイ素プレーナ型縦型 MOS FET は、チャネル移動度が  $1 \text{ cm}^2/\text{Vs}$  以下と極めて小さく、オン抵抗が理論値よりも遥かに高いという問題を抱えている。

炭化ケイ素プレーナ型縦型 MOS FET のオン抵抗を下げる方法としては、チャネル領域 11 をイオン注入ではなく堆積膜によって形成した構造が提案されている [Journal of Applied Physics vol.87, 8773 (2000). ]。第 17 図は炭化ケイ素プレーナ型縦型 MOS FET として提案された単位セルの構造を説明するための模式断面図である。第 17 図において、前記炭化ケイ素プレーナ型縦型 MOS FET の構造では、高濃度  $n^+$  型基板 1 上に低濃度  $n$  型ドリフト層 2 が堆積されている。

その上には、高濃度  $p^+$  型層 31 が堆積されている。さらに、その上には、同様に低濃度  $p$  型層 32 が選択的に堆積されている。その後、 $n$  型不純物イオン注入によって、これらの高濃度  $p^+$  型層 31 と低濃度  $p$  型層 32 を貫通して低濃度  $n$  型ドリフト層 2 に達する低濃度  $n$  型ベース領域 4 が選択的に形成される。また、低濃度  $p$  型層 32 の表面部分には、選択的に高濃度  $n^+$  型ソース領域 5 が形成されている。

高濃度  $p^+$  型層 31 と低濃度  $p$  型層 32 を貫通して低濃度  $n$  型不純物イオンが注入されていない領域が  $p$  型ウェル層 3 となる。この構造では、チャネル領域 11 がイオン注入されてない堆積膜内に形成されるので、伝導電子の高い移動度を得られるという特徴がある。なお、こ

ここで、低濃度 p 型層 3 2 を比較的低濃度にしているのは、高いチャネル移動度を得るためである。

実際、 $5 \times 10^{15} \text{ cm}^{-3}$  の低濃度 p 型堆積膜上に作製した炭化ケイ素プレーナ型縦型 MOSFET において、高いチャネル移動度が得られていることが報告されている [IEEE Electron Device Letters vol. 22, 272 (2001).]。また、炭化ケイ素基板 1 側の高濃度 p<sup>+</sup>型層 3 1 は、比較的高濃度になっているが、高濃度 n<sup>+</sup>型ソース領域 5 と低濃度 n 型ドリフト層 2 とが低電圧でパンチスルーして、高い電圧を阻止できなくなるのを回避するために、この濃度が低い場合、その厚さを数ミクロン程度に厚くする必要がある。

そうすると、低濃度 n 型ベース領域 4 を形成するための n 型不純物イオン注入の加速電圧が MeV という極めて高エネルギーになり、一般の装置を用いての作製は困難となってしまう。したがって、この構造においては、高濃度 n<sup>+</sup>型ソース領域 5 と低濃度 n 型ドリフト層 2 とのパンチスルーを防ぎ高耐圧化するために、p 型層 3 1 を比較的高濃度で、かつ薄くしているものと思われる。前記引用したこの構造が提案された文献には、作製手順に関する詳細な記載はない。

しかし、予想される作製方法は、まず、低濃度 n 型ドリフト層 2 の上に高濃度 p<sup>+</sup>型層 3 1 を堆積し、さらに、その上に低濃度 p 型層 3 2 を堆積する。その後、マスクを利用した選択的な n 型不純物イオン注入と熱処理を行い、p 型層の極性を n 型へと反転することにより p 型ウェル層 3 で挟まれた低濃度 n 型ベース領域 4 が形成されている。

前記方法は、チャネル領域 1 1 を低濃度の p 型堆積膜によって形成しているため、高いチャネル移動度と低いオン抵抗が期待できる。しかし、その一方で、高耐圧化は、次に述べる理由で困難である。すなわち、低濃度 n 型ベース領域 4 の低濃度 n 型ドリフト層と接する部分 2 4 は、高濃度 p 型堆積膜に n 型不純物イオンを注入して形成した領域である。

この場合、イオン注入によって、高濃度の p 型層をそれより低濃度



の  $n$  型層に反転することは技術的に不可能であるため、低濃度  $n$  型ベース領域 4 の不純物濃度は、高濃度  $p^+$  型層 3 1 の濃度よりも高くならざるを得ない。その結果、イオン注入によって形成された低濃度  $n$  型ベース領域 4 と高濃度  $p^+$  型層 3 1 によって構成される  $p$   $n$  接合部の耐圧が非常に低くなってしまう。

電圧阻止状態において、正のドレイン電圧を印加したときに、高濃度  $p^+$  型層 3 1 によって挟まれた低濃度  $n$  型ベース領域 4 は、両側の  $p$   $n$  接合に印加される逆バイアスによって、延びる空乏層で完全にピンチオフされる必要があるが、この  $p$   $n$  接合の耐電圧が低い場合、ピンチオフする前にその低い電圧で阻止能力を失うことになる。

さらにまた、このように、低濃度  $n$  型ベース領域 4 が高濃度である場合、空乏層の広がりが少ないため、完全にピンチオフさせるのにいっそう高い逆バイアスを印加しなければならないことになり、高い電圧の阻止は、なお、いっそう困難になる。以上のことから、この構造は、高耐圧の炭化ケイ素プレーナ型縦型 MOSFET を得るためには適していないといえる。

炭化ケイ素縦型 MOSFET は、二重イオン注入により作製された場合、チャネル領域がイオン注入による結晶欠陥を多く含むため、チャネル移動度が小さくオン抵抗が下がらない。これに対して、チャネル領域を低濃度の  $p$  型堆積膜により形成する方法は、チャネル移動度が向上するため、オン抵抗の低減に効果があると期待される。

しかしながら、これまで提案された炭化ケイ素縦型 MOSFET の構造は、 $n$  型ドリフト層の表面全てが高濃度の  $p$  型堆積膜で覆われた形となっているため、低濃度  $n$  型ベース領域を形成するために、高濃度の  $n$  型不純物イオン注入が必要となる。その結果、低濃度  $n$  型ベース領域の濃度が高くなってしまい、高い電圧阻止能力を保持することができないという問題があった。

本発明は、これらの問題を解決するために、低いオン抵抗、かつ、高耐圧の炭化ケイ素縦型 MOSFET を実現することであり、低濃度

p型堆積膜により形成したゲート領域（以下、本明細書において、下記の理由により、チャネル領域と記載せずにゲート領域と記載する。すなわち、MOSFETでは、ゲート信号によって、半導体層の表面に形成されるチャネル領域は、厚さ0.01 $\mu$ m以下の極めて薄い層であるため、前記チャネル領域が形成される半導体層はチャネル領域よりはるかに大きな部分である。この半導体層の不純物濃度や構造等

5 特徴付ける表現とするには機能上で「チャネル領域」より広い意味を有する「ゲート領域」として記載する方が適切である。）を有する炭化ケイ素縦型MOSFETにおいて、阻止電圧を高くするための低濃度ベース領域を有する炭化ケイ素半導体装置を提供することを目的とする。

10

また、本発明は、低濃度p型堆積膜により形成したゲート領域を有する高耐圧炭化ケイ素半導体装置の製造方法を提供することを目的とする。

15 更に、本発明は、低濃度p型堆積膜により形成したゲート領域を有する高耐圧炭化ケイ素縦型MOSFETにおいて、オン抵抗を低減するためのゲート絶縁膜およびゲート電極の構造を有する炭化ケイ素半導体装置を提供することを目的とする。

更にまた、本発明は、低濃度p型堆積膜により形成したゲート領域

20 を有する高耐圧炭化ケイ素縦型MOSFETにおいて、オン抵抗を低減するための基板の面方位を提供する炭化ケイ素半導体装置を提供することを目的とする。

#### 発明の開示

25 本発明の炭化ケイ素半導体装置は、第1伝導型の高濃度炭化ケイ素基板表面上に形成されている第1伝導型の低濃度炭化ケイ素からなる第1の堆積膜と、前記第1の堆積膜上に選択的に切り欠かれている第1の領域を有する第2伝導型の高濃度ゲート領域からなる第2の堆積膜と、前記第2の堆積膜上に選択的に切り欠かれている前記第1の領

域より幅が広い第2の領域と第1伝導型の高濃度ソース領域と第2伝導型の低濃度ゲート領域からなる第3の堆積膜と、前記第1の堆積膜に接し、前記第1の領域および第2の領域に形成されている第1伝導型の低濃度ベース領域と、少なくとも前記第3の堆積膜の表面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して形成されたゲート電極と、前記第1伝導型の炭化ケイ素基板の裏面に低抵抗接続されたドレイン電極と、前記第1伝導型の高濃度ソース領域および第2伝導型の低濃度ゲート領域の一部に低抵抗接続されているソース電極とからなる。

10 上記の炭化ケイ素半導体装置において、前記第3の堆積膜の厚さは、 $0.2\mu\text{m} \sim 0.7\mu\text{m}$ の範囲にあり、かつ、前記第3の堆積膜内に選択的に形成された前記第2伝導型の低濃度ゲート領域において、前記ゲート絶縁膜と接する部分の不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ より高濃度で、 $5 \times 10^{15} \text{ cm}^{-3}$ より低濃度であることを含む。

15 上記の炭化ケイ素半導体装置において、前記第1伝導型の低濃度ベース領域における上面には、前記ゲート絶縁膜と接する部分の少なくとも一部に凹部が設けられていることを含む。

上記の炭化ケイ素半導体装置において、前記第1伝導型の低濃度ベース領域の不純物濃度は、前記第2伝導型の高濃度ゲート領域の不純物濃度よりも低いことを含む。

20 上記の炭化ケイ素半導体装置における前記第3の堆積膜内に選択的に形成された前記第2伝導型の低濃度ゲート領域において、前記ゲート絶縁膜と接する部分の不純物濃度は、 $2 \times 10^{16} \text{ cm}^{-3}$ 以下であることを含む。

25 上記の炭化ケイ素半導体装置において、前記第3の堆積膜内に選択的に形成された前記第1伝導型の低濃度ベース領域の不純物濃度は、前記第2伝導型の高濃度ゲート領域と接する部分において、 $4 \times 10^{16} \text{ cm}^{-3}$ 以下であることを含む。

上記の炭化ケイ素半導体装置において、前記第2伝導型の高濃度ゲ

ート領域は、第 1 の堆積膜上に形成された炭化ケイ素からなる第 2 の堆積膜であることを含む。

上記の炭化ケイ素半導体装置において、前記第 3 の堆積膜上に形成されたゲート絶縁膜は、少なくとも前記第 3 の堆積膜内に選択的に形成された第 1 伝導型の低濃度ベース領域上において、他の部分より厚くなっている部分を有することを含む。

上記の炭化ケイ素半導体装置において、前記第 3 の堆積膜内に選択的に形成された第 1 伝導型の低濃度ベース領域の表面上で、ゲート電極は、少なくとも一部が除かれていることを含む。

上記の炭化ケイ素半導体装置は、前記第 1 伝導型の炭化ケイ素基板表面の結晶学的面指数は、 $(1\ 1\ -\ 2\ 0)$  面に対して平行な面であることを含む。

上記の炭化ケイ素半導体装置において、前記第 1 伝導型の炭化ケイ素基板表面の結晶学的面指数は、 $(0\ 0\ 0\ -\ 1)$  面に対して平行な面であることを含む。

上記の炭化ケイ素半導体装置において、前記第 2 伝導型の低濃度ゲート領域内の前記ゲート絶縁膜と接する部分には、第 1 伝導型の埋め込みチャネル領域を有することを含む。

また、本発明の炭化ケイ素半導体装置は、第 1 伝導型の高濃度炭化ケイ素基板上に形成されている第 1 伝導型の低濃度炭化ケイ素からなる下部堆積膜と、前記第 1 伝導型の低濃度炭化ケイ素が残されている第 1 の領域を有するように前記下部堆積膜内に選択的に形成された第 2 伝導型の高濃度ゲート領域と、前記下部堆積膜上に選択的に前記第 1 の領域より幅が広い第 2 領域からなる第 1 伝導型の低濃度ベース領域と、前記第 1 伝導型の高濃度ソース領域と、第 2 伝導型の低濃度ゲート領域とからなる上部堆積膜と、少なくとも前記上部堆積膜の表面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して形成されたゲート電極と、前記第 1 伝導型の炭化ケイ素基板の裏面に低抵抗接続されたドレイン電極と、前記第 1 伝導型の高濃度ソース領域お

よび第2伝導型の低濃度ゲート領域の一部に低抵抗接続されているソース電極とからなる。

上記の炭化ケイ素半導体装置において、前記上部堆積膜の厚さは、 $0.2\ \mu\text{m} \sim 0.7\ \mu\text{m}$ の範囲にあり、かつ、前記上部堆積膜内に選択的に形成された前記第2伝導型の低濃度ゲート領域において、前記ゲート絶縁膜と接する部分の不純物濃度は、 $1 \times 10^{15}\ \text{cm}^{-3}$ より高濃度で、 $5 \times 10^{15}\ \text{cm}^{-3}$ より低濃度であることを含む。

上記の炭化ケイ素半導体装置において、前記第1伝導型の低濃度ベース領域の不純物濃度は、前記第2伝導型の高濃度ゲート領域の不純物濃度よりも低いことを含む。

上記の炭化ケイ素半導体装置における前記上部堆積膜内に選択的に形成された前記第2伝導型の低濃度ゲート領域において、前記ゲート絶縁膜と接する部分の不純物濃度は、 $2 \times 10^{16}\ \text{cm}^{-3}$ 以下であることを含む。

上記の炭化ケイ素半導体装置において、前記上部堆積膜は、炭化ケイ素からなることを含む。

上記の炭化ケイ素半導体装置において、前記上部堆積膜上に形成されたゲート絶縁膜は、少なくとも前記上部堆積膜内に選択的に形成された第1伝導型の低濃度ベース領域上において、他の部分より厚くなっている部分を有することを含む。

上記の炭化ケイ素半導体装置において、前記上部堆積膜内に選択的に形成された第1伝導型の低濃度ベース領域の表面上で、ゲート電極は、少なくとも一部が除かれていることを含む。

上記の炭化ケイ素半導体装置において、前記第1伝導型の炭化ケイ素基板表面の結晶学的面指数は、 $(11-20)$ 面に対して平行な面であることを含む。

上記の炭化ケイ素半導体装置において、前記第1伝導型の炭化ケイ素基板表面の結晶学的面指数は、 $(000-1)$ 面に対して平行な面であることを含む。

上記の炭化ケイ素半導体装置において、前記第 2 伝導型の低濃度ゲート領域内の前記ゲート絶縁膜と接する部分には、第 1 伝導型の埋め込みチャネル領域を有することを含む。

更に、本発明の炭化ケイ素半導体装置の製造方法は、第 1 伝導型の高濃度炭化ケイ素基板表面上に第 1 伝導型の低濃度炭化ケイ素からなる第 1 の堆積膜を形成する工程と、前記第 1 の堆積膜上に前記第 2 伝導型の高濃度領域が選択的に欠除した第 1 の領域を有する第 2 の堆積膜を形成する工程と、前記第 2 の堆積膜上および前記第 2 の堆積膜が選択的に欠除した第 1 の領域に形成された第 2 伝導型の低濃度領域からなる第 3 の堆積膜を形成する工程と、前記第 3 の堆積膜に選択的に前記第 1 の領域より幅を広くした第 2 の領域が形成されるように、前記第 1 伝導型の低濃度炭化ケイ素からなる第 1 の堆積膜に接し、前記第 1 の領域および第 2 の領域に第 1 伝導型の低濃度ベース領域を形成し、また、前記第 3 の堆積膜に選択的に第 1 伝導型の高濃度炭化ケイ素からなるソース領域を形成する工程と、少なくとも前記第 3 の堆積膜の表面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を介してゲート電極を形成する工程と、前記第 1 伝導型の炭化ケイ素基板の裏面に低抵抗接続されるドレイン電極を形成する工程と、前記第 1 伝導型の高濃度ソース領域および第 2 伝導型の低濃度ゲート領域の一部に低抵抗接続されるソース電極を形成する工程とを少なくとも有することから成る。

上記の炭化ケイ素半導体装置の製造方法において、前記第 1 の堆積膜上に前記第 2 の堆積膜を形成する工程と、前記第 2 の堆積膜表面から前記第 1 の堆積膜に達するトレンチ溝を形成する工程と、前記第 2 の堆積膜および前記トレンチ溝の上に第 3 の堆積膜を形成する工程と、前記第 3 の堆積膜内に前記第 1 伝導型の低濃度ベース領域を形成するために選択的に第 1 伝導型の不純物イオン注入を行う工程とを有することを含む。

更に、本発明の炭化ケイ素半導体装置の製造方法は、第 1 伝導型の

高濃度炭化ケイ素基板表面上に第 1 伝導型の低濃度炭化ケイ素からなる下部堆積膜を形成する工程と、前記下部堆積膜中に第 2 伝導型の不純物領域を形成する工程と、前記第 2 伝導型の不純物領域が形成されている下部堆積膜上に第 2 伝導型の低濃度ゲート領域となる上部堆積膜を形成する工程と、前記上部堆積膜に第 1 伝導型の高濃度ソース領域を形成する工程と、前記上部堆積膜に前記下部堆積膜に接する第 1 伝導型の低濃度ベース領域を形成する工程と、少なくとも前記上部堆積膜の表面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を介してゲート電極を形成する工程と、前記第 1 伝導型の炭化ケイ素基板の裏面に低抵抗接続されるドレイン電極を形成する工程と、前記第 1 伝導型の高濃度ソース領域および第 2 伝導型の低濃度ゲート領域の一部に低抵抗接続されるソース電極を形成する工程とを少なくとも有することから成る。

上記の炭化ケイ素半導体装置の製造方法は、前記低濃度炭化ケイ素からなる下部堆積膜に高濃度の第 2 伝導型の不純物イオン注入により形成し、その上に上部堆積膜を形成する工程と、前記上部堆積膜内に前記第 1 伝導型の低濃度ベース領域を形成するために選択的に第 1 伝導型の不純物イオン注入を行う工程とを有することを含む。

本発明は、低濃度 p 型堆積膜内に形成した低濃度のチャネル領域を有する炭化ケイ素縦型 MOSFET を高耐圧化する手段として、前記低濃度 p 型堆積膜と n 型ドリフト層との間に高濃度 p<sup>+</sup>型堆積膜を介在させ、前記高濃度 p<sup>+</sup>型堆積膜に切り欠かれた第 1 の領域を具備し、前記第 1 の領域において、比較的低濃度の n 型ベース領域を前記 n 型ドリフト層の一部に直接接する構造としたことに特徴がある。

また、本発明は、低濃度 p 型堆積膜に設けられた第 2 の領域の幅が前記高濃度 p<sup>+</sup>型堆積膜に設けられた第 1 の領域より広がっているため、その部分からの抵抗成分が小さくなり、オン抵抗が低減される。

低濃度 p 型堆積膜内に形成したゲート領域を有する炭化ケイ素縦型 MOSFET において、オン抵抗を低減するためのゲート絶縁膜およ

びゲート電極の構造を n 型ベース領域上のゲート絶縁膜を低濃度ゲート領域上よりも厚くした場合、正のゲート電圧を印加した際に、ゲート絶縁膜と n 型ベース領域の界面近傍に局在する伝導電子の数が減少する。したがって、前記界面近傍は、高抵抗化せず、オン抵抗が低減  
5 できる。

本発明は、基板表面の結晶学的面指数を（000-1）面あるいは（11-20）面に対して平行な面とした場合、ゲート絶縁膜とゲート領域との界面準位密度が軽減するため、前記界面近傍は、高抵抗化せず、オン抵抗が低減できる。

10 この発明の他の目的、その他の特徴は、添付の図面に基づく以下の詳しい説明で明らかにする。

#### 図面の簡単な説明

第 1 図は、本発明にかかる第 1 実施例である炭化ケイ素縦型 MOS  
15 FET の単位セルを説明するための模式断面図である。

第 2 図（a）乃至（f）は、第 1 図の炭化ケイ素縦型 MOSFET の製造工程を説明するための模式断面図である。

第 3 図（a）乃至（d）は、第 1 図の炭化ケイ素縦型 MOSFET の製造工程を説明するための模式断面図である。

20 第 4 図は、本発明の第 2 実施例である炭化ケイ素縦型 MOSFET の単位セルを説明するための模式断面図である。

第 5 図（a）乃至（f）は、本発明の第 4 図の炭化ケイ素縦型 MOSFET の製造工程を説明するための模式断面図である。

25 第 6 図（a）乃至（d）は、本発明の第 4 図の炭化ケイ素縦型 MOSFET の製造工程を説明するための模式断面図である。

第 7 図は、本発明の第 3 実施例である炭化ケイ素縦型 MOSFET を説明するための模式断面図である。

第 8 図は、本発明の第 4 実施例である炭化ケイ素縦型 MOSFET を説明するための模式断面図である。



第 9 図は、本発明の第 5 実施例である炭化ケイ素縦型 MOSFET を説明するための模式断面図である。

第 10 図は、本発明の第 6 実施例である炭化ケイ素縦型 MOSFET を説明するための模式断面図である。

5 第 11 図は、本発明の第 7 実施例である炭化ケイ素縦型 MOSFET を説明するための模式断面図である。

第 12 図は、代表的なプレーナ型縦型 MOSFET の単位セルを説明するための模式断面図である。

10 第 13 図 (a) 乃至 (f) は、前記二重拡散法によるシリコン (Si) を使用したプレーナ型縦型 MOSFET の作製方法を説明するための図である。

第 14 図 (a) 及び (b) は、前記二重拡散法によるシリコン (Si) を使用したプレーナ型縦型 MOSFET の作製方法を説明するための図である。

15 第 15 図 (a) 乃至 (f) は、従来における二重イオン注入法を用いた典型的な炭化ケイ素プレーナ型縦型 MOSFET の作製方法を示す。

20 第 16 図 (a) 及び (b) は、従来における二重イオン注入法を用いた典型的な炭化ケイ素プレーナ型縦型 MOSFET の作製方法を示す。

第 17 図は、炭化ケイ素プレーナ型縦型 MOSFET として提案された単位セルの構造を説明するための模式断面図である。

#### 発明を実施するための最良の形態

25

本発明をより詳細に説述するために、添付の図面に従ってこれを説明する。

第 1 図は本発明にかかる第 1 実施例である炭化ケイ素縦型 MOSFET の単位セルを説明するための模式断面図である。第 1 図において

、たとえば、 $1 \times 10^{18} \text{ cm}^{-3}$ の窒素がドーピングされた厚さ $300 \mu\text{m}$ の(0001)面を有する高濃度 $n^+$ 型基板1表面上には、たとえば、 $5 \times 10^{15} \text{ cm}^{-3}$ の窒素がドーピングされた厚さ $10 \mu\text{m}$ の低濃度 $n$ 型ドリフト層2が堆積されている。

5 前記低濃度 $n$ 型ドリフト層2の表面上には、たとえば、 $2 \times 10^{18} \text{ cm}^{-3}$ のアルミニウムがドーピングされた厚さ $0.5 \mu\text{m}$ の高濃度 $p^+$ 型層31が堆積されている。さらに、前記高濃度 $p^+$ 型層31の上には、たとえば、 $5 \times 10^{15} \text{ cm}^{-3}$ のアルミニウムがドーピングされた厚さ $0.5 \mu\text{m}$ の低濃度 $p$ 型層32が堆積されている。前記低濃度 $p$ 型層32の表面部分には、たとえば、選択的に約 $1 \times 10^{20} \text{ cm}^{-3}$ のリ  
10 ンがドーピングされた高濃度 $n^+$ 型ソース領域5が形成されている。前記高濃度 $p^+$ 型層31には、選択的に形成された幅 $2 \mu\text{m}$ の切欠き部からなる第1の領域が設けられており、前記低濃度 $p$ 型層32には、前記切欠き部より幅の広い第2の領域が形成されている。

15 前記第1および第2の領域には、たとえば、 $1 \times 10^{16} \text{ cm}^{-3}$ の窒素がドーピングされた低濃度 $n$ 型ベース領域4が前記低濃度 $n$ 型ドリフト層2に直接接して設けられている。前記低濃度 $p$ 型層32における幅の広い第2の領域は、抵抗成分が小さくなり、炭化ケイ素半導体装置のオン抵抗を低減することができる。前記低濃度 $n$ 型ベース領域  
20 4と高濃度 $n^+$ 型ソース領域5の中間部分には、低濃度 $p$ 型ウェル層3の表面層に低濃度ゲート領域11が形成される。

低濃度ゲート領域11上、および低濃度 $n$ 型ベース領域4の表面上には、ゲート絶縁膜6を介してゲート電極7が設けられている。前記ゲート電極7上には、層間絶縁膜8を介して、高濃度 $n^+$ 型ソース領域  
25 5と $p$ 型ウェル層3とのそれぞれの表面に低抵抗接続されたソース電極9が形成されている。また、前記高濃度 $n^+$ 型基板1の裏面には、ドレイン電極10が低抵抗接続で形成されている。さらに、前記低濃度 $n$ 型ベース領域4は、第1図に示すように、凹部41を設けることができる。

なお、p型ウェル層3とソース電極9は、低抵抗接続のため、p型ウェル層3表面に高濃度p<sup>+</sup>型層31が形成される場合や、低濃度p型層32のエッチオフによって、ソース電極9が直接に高濃度p<sup>+</sup>型層31の露出表面に接続されることもある。

5 前記炭化ケイ素縦型MOSFETの動作は、基本的には、従来例として示した第14図に記載された炭化ケイ素プレーナ型縦型MOSFETと同様である。すなわち、ゲート電極7に、しきい値電圧以上のゲート電圧が印加されると、p型ウェル層3の表面に電子が誘起されチャンネル領域11が形成される。これによって、高濃度n<sup>+</sup>型ソース領域5と低濃度n型ドリフト層2が導通状態になり、ドレイン電極10からソース電極9へ電流を流すことができる。

ここで、従来例として示した第14図の炭化ケイ素プレーナ型縦型MOSFETと異なる点は、低濃度n型ドリフト層2の表面全てが高濃度のp<sup>+</sup>型層31で覆われ、その上に低濃度のp型層32が堆積されているのではなく、低濃度n型ドリフト層2の一部が表面に露出しており、濃度が $5 \times 10^{15} \text{ cm}^{-3}$ のp型堆積膜が低濃度n型ドリフト層2に直接接して設けられている。すなわち、n型不純物イオンを注入して低濃度n型ベース領域4を形成する領域全てが低濃度p型堆積膜で構成されているために、n型不純物イオン注入を行った後、n型ベース領域4のn型ドリフト層2と接する部分24を低濃度にできた。

たとえば、前記低濃度n型ベース領域4と低濃度n型ドリフト層2とが接する部分24の幅は、 $2 \mu\text{m}$ であり、この場合、前記低濃度n型ベース領域4の濃度が $4 \times 10^{16} \text{ cm}^{-3}$ でピンチオフ電圧は30Vとなる。この構造では、前記低濃度n型ベース領域4の濃度が $4 \times 10^{16} \text{ cm}^{-3}$ 以下となっているため、前記低濃度n型ベース領域4をピンチオフさせるのに高い電圧が不必要となる。

さらに、前記低濃度n型ベース領域4とp型ウェル層3の接合部の耐圧は、向上し、1000V以上の高耐圧の素子の実現できた。また、低濃度ゲート領域11を $2 \times 10^{16} \text{ cm}^{-3}$ の低濃度p型堆積膜で形

成しているため、数  $10\text{ cm}^2/\text{Vs}$  の高いチャネル移動度が得られオン抵抗を低減することができた。

第2図(a)乃至(f)及び第3図(a)乃至(d)は第1実施例の炭化ケイ素縦型MOSFETの製造工程を説明するための模式断面図である。第2図(a)において、まず、高濃度 $n^+$ 型基板1の表面上には、低濃度 $n$ 型ドリフト層2が堆積される。さらに、前記低濃度 $n$ 型ドリフト層2の上には、高濃度 $p^+$ 型層3-1が堆積される。前記低濃度 $n$ 型ドリフト層2は、たとえば、窒素のドーピング濃度を $5 \times 10^{15}\text{ cm}^{-3}$ 、厚さを $10\text{ }\mu\text{m}$ とした。前記高濃度 $p^+$ 型層3-1は、アルミニウムのドーピング濃度を $2 \times 10^{18}\text{ cm}^{-3}$ とし、厚さを $0.5\text{ }\mu\text{m}$ にした。

次いで、第2図(b)に示すように、レジストをマスクとしたドライエッチングにより、表面から低濃度 $n$ 型ドリフト層2に達する 트렌チ構造が形成される。エッチングには、六フッ化硫黄( $\text{SF}_6$ )と酸素( $\text{O}_2$ )の混合ガスを用いた。前記レジストを除去した後、第2図(c)に示すように、前記表面には、たとえば、 $5 \times 10^{15}\text{ cm}^{-3}$ のアルミニウムがドーピングされた低濃度 $p$ 型層3-2が $0.5\text{ }\mu\text{m}$ の厚さで堆積された。

その後、高濃度 $n^+$ 型ソース領域5を形成するために、前記低濃度 $p$ 型層3-2の表面には、第2図(d)に示すように、マスク1-3が形成された。 $n$ 型不純物イオン5-aは、前記マスク1-3を介して前記低濃度 $p$ 型層3-2に注入される。前記マスク1-3は、表面上に減圧CVD法により堆積された厚さ $1\text{ }\mu\text{m}$ の $\text{SiO}_2$ 膜をフォトリソグラフィにより、パターン加工して形成された。 $n$ 型不純物イオン注入5-aは、たとえば、リンイオンを基板温度 $500^\circ\text{C}$ 、加速エネルギー $40\text{ keV} \sim 250\text{ keV}$ の多段で、注入量 $2 \times 10^{20}\text{ cm}^{-3}$ として実施された。

前記マスク1-3を除去した後、低濃度 $n$ 型ベース領域4を形成するために、第2図(e)に示すように、マスク1-4を使用して $n$ 型不純

物イオン 4 a を注入した。前記マスク 1 4 は、低濃度 p 型層 3 2 の表面上に減圧 C V D 法により堆積された厚さ  $1.5 \mu\text{m}$  の  $\text{SiO}_2$  膜をフォトリソグラフィによりパターン加工して形成された。前記 n 型不純物イオン 4 a は、窒素イオンを室温にて、加速エネルギー  $40 \text{ keV} \sim 400 \text{ keV}$  の多段で、注入量  $2 \times 10^{16} \text{ cm}^{-3}$  として注入された。その後、第 2 図 (f) に示すように、アルゴン雰囲気中にて、 $1500^\circ\text{C}$  で 3.0 分間にわたる活性化アニールを行い、p 型ウェル層 3、低濃度 n 型ベース領域 4 および高濃度 n<sup>+</sup> 型ソース領域 5 が形成された。

次いで、第 3 図 (a) に示すように、前記 p 型ウェル層 3、低濃度 n 型ベース領域 4、および高濃度 n<sup>+</sup> 型ソース領域 5 は、 $1200^\circ\text{C}$ 、140 分の熱酸化されて、厚さ  $40 \text{ nm}$  のゲート絶縁膜 6 が形成された。前記ゲート絶縁膜 6 の上には、減圧 C V D 法によって、多結晶シリコン 7 a が  $0.3 \mu\text{m}$  の厚さで堆積された。第 3 図 (b) に示すように、多結晶シリコン 7 a は、フォトリソグラフィにより、パターン加工されて、ゲート電極 7 が形成された。

さらに、第 3 図 (c) に示すように、減圧 C V D 法により、前記ゲート電極 7 の表面上には、厚さ  $0.5 \mu\text{m}$  の層間絶縁膜 8 が堆積された。第 3 図 (d) に示すように、前記層間絶縁膜 8 には、窓が開けられ、高濃度 n<sup>+</sup> 型ソース領域 5 と p 型ウェル層 3 に共通のソース電極 9 が低抵抗接続された。

なお、本実施例では、(0001) 面基板上の炭化ケイ素縦型 MOSFET の構造およびその製造工程について説明したが、(11-20) 面あるいは (000-1) 面基板にも同様に適用できる。(11-20) 面あるいは (000-1) 面基板上に作製された炭化ケイ素縦型 MOSFET は、チャネル移動度が (0001) 面基板上よりも高いため、より低いオン抵抗が得られた。

第 4 図は、本発明の第 2 実施例である炭化ケイ素縦型 MOSFET の単位セルを説明するための模式断面図である。第 4 図において、5

$\times 10^{18} \text{ cm}^{-3}$ の窒素がドーピングされた厚さ  $300 \mu\text{m}$  の (0001) 面の高濃度  $n^+$  型基板 1 上には、 $5 \times 10^{15} \text{ cm}^{-3}$  の窒素がドーピングされた厚さ  $10 \mu\text{m}$  の低濃度  $n$  型ドリフト層 2 が堆積されている。前記低濃度  $n$  型ドリフト層 2 には、その表面から深さ  $0.5 \mu\text{m}$  に渡って  $2 \times 10^{18} \text{ cm}^{-3}$  のアルミニウムがドーピングされた高濃度  $p^+$  型層 3 1 が形成され、さらに、その表面上に  $5 \times 10^{15} \text{ cm}^{-3}$  のアルミニウムがドーピングされた厚さ  $0.5 \mu\text{m}$  の低濃度  $p$  型層 3 2 が堆積されている。

低濃度  $p$  型層 3 2 の表面部分には、選択的に約  $1 \times 10^{20} \text{ cm}^{-3}$  のリンがドーピングされた高濃度  $n^+$  型ソース領域 5 が形成されている。前記高濃度  $p^+$  型層 3 1 には、 $p$  イオンが注入されていない欠除部が選択的に設けられている。前記欠除部には、 $1 \times 10^{16} \text{ cm}^{-3}$  の窒素がドーピングされた低濃度  $n$  型ベース領域 4 が前記低濃度  $n$  型ドリフト層 2 に直接接するように設けられている。

前記低濃度  $n$  型ベース領域 4 と前記高濃度  $n^+$  型ソース領域 5 との中間部分である  $p$  型ウェル層 3 の表面層には、低濃度ゲート領域 1 1 が形成される。前記低濃度ゲート領域 1 1 上、低濃度  $n$  型ベース領域 4、および高濃度  $n^+$  型ソース領域 5 の表面上には、ゲート絶縁膜 6 を介してゲート電極 7 が設けられている。前記ゲート電極 7 上には、層間絶縁膜 8 を介して高濃度  $n^+$  型ソース領域 5 と  $p$  型ウェル層 3 のそれぞれの表面に低抵抗接続されたソース電極 9 が形成されている。また、高濃度  $n^+$  型基板 1 の裏面には、ドレイン電極 10 が低抵抗接続で形成されている。

前記炭化ケイ素縦型 MOSFET と第 1 図の実施例 1 との相違点は、高濃度  $p^+$  型層 3 1 が低濃度  $n$  型ドリフト層 2 の表面上に堆積されているのではなく、前記低濃度  $n$  型ドリフト層 2 内に形成されていることである。すなわち、低濃度  $n$  型ベース領域 4 内の低濃度  $n$  型ドリフト層 2 と接する部分 2 4 は、高濃度  $p^+$  型層 3 1 の上端と同一面内に位置し、前記高濃度  $p^+$  型層 3 1 で挟まれた領域は、低濃度  $n$  型ドリフト

層 2 内に存在する。このため、高濃度  $p^+$  型層 3 1 で挟まれた領域の濃度は、実施例 1 の構造よりも低く、実施例 1 に比べ高耐圧の素子が実現できる。前記実施例 2 は、第 1 図の実施例 1 と同様に、低濃度  $p$  型層 3 2 に設けられた低濃度  $n$  型ベース領域 4 の幅が高濃度  $p^+$  型層 3 1 より広いため、その部分からの抵抗成分が小さくなり、オン抵抗が低減される。

第 5 図 (a) 乃至 (f) 及び第 6 図 (a) 乃至 (d) は本発明の第 2 実施例である炭化ケイ素縦型 MOSFET の製造工程を説明するための模式断面図である。第 5 図 (a) において、まず、高濃度  $n^+$  型基板 1 上には、 $5 \times 10^{15} \text{ cm}^{-3}$  の窒素をドーピングした低濃度  $n$  型ドリフト層 2 が  $10 \mu\text{m}$  の厚さで堆積されている。次いで、第 5 図 (b) に示すように、高濃度  $p^+$  型層 3 1 を形成するために、前記低濃度  $n$  型ドリフト層 2 上にマスク 1 5 が形成される。 $p$  型不純物イオン 3 a は、前記マスク 1 5 を使用して前記低濃度  $n$  型ドリフト層 2 に注入される。前記マスク 1 5 は、前記低濃度  $n$  型ドリフト層 2 の表面上に減圧 CVD 法により堆積され、厚さ  $1 \mu\text{m}$  の  $\text{SiO}_2$  膜がフォトリソグラフィによりパターン加工して形成される。

前記  $p$  型不純物イオン 3 a は、アルミニウムイオンを基板温度  $500^\circ\text{C}$ 、加速エネルギー  $40 \text{ keV} \sim 250 \text{ keV}$ 、注入量  $2 \times 10^{18} \text{ cm}^{-3}$  として注入される。第 5 図 (c) に示すように、マスク 1 5 を除去した後、低濃度  $n$  型ドリフト層 2 の表面には、 $5 \times 10^{15} \text{ cm}^{-3}$  のアルミニウムがドーパされた低濃度  $p$  型層 3 2 が  $0.5 \mu\text{m}$  の厚さで堆積される。

その後、第 5 図 (d) に示すように、高濃度  $n^+$  型ソース領域 5 を形成するために、マスク 1 3 を使用して前記低濃度  $p$  型層 3 2 に  $n$  型不純物イオン 5 a の注入を行う。 $n$  型不純物イオン 5 a は、リンイオンを基板温度  $500^\circ\text{C}$ 、加速エネルギー  $40 \text{ keV} \sim 250 \text{ keV}$ 、注入量  $2 \times 10^{20} \text{ cm}^{-3}$  で注入される。マスク 1 3 は、除去された後、低濃度  $n$  型ベース領域 4 を形成するためのマスク 1 4 が形成される。

第5図(e)に示すように、n型不純物イオン4aは、前記マスク14を介して前記低濃度p型層32に注入される。前記n型不純物イオン4aは、窒素イオンを室温にて、加速エネルギー40keV~250keV、注入量 $1 \times 10^{16} \text{ cm}^{-3}$ として注入される。前記マスク14は、除去された後、第5図(f)に示すように、アルゴン雰囲気中にて、1500℃で30分間にわたる活性化アニールが行われる。

前記活性化アニールによって、p型ウェル層3、低濃度n型ベース領域4、および高濃度n<sup>+</sup>型ソース領域5が形成される。次いで、第6図(a)に示すように、前記各層は、1200℃、140分熱酸化されて、厚さ40nmのゲート絶縁膜6が形成される。前記ゲート絶縁膜6の上には、減圧CVD法によって、多結晶シリコン7aが0.3μm堆積される。

第6図(b)に示すように、多結晶シリコン7aは、フォトリソグラフィによりパターン加工されて、ゲート電極7が形成される。さらに、第6図(c)に示すように、前記ゲート電極7の上には、減圧CVD法により、0.5μmの層間絶縁膜8が堆積される。第6図(d)に示すように、前記層間絶縁膜8には、窓が開けられ、高濃度n<sup>+</sup>型ソース領域5とp型ウェル層3に共通のソース電極9が形成される。

なお、実施例2では、(0001)面基板上の炭化ケイ素縦型MOSFETの構造およびその製造工程について説明したが、実施例1と同様に(11-20)面あるいは(000-1)面基板にも適用でき、効果も同様である。

第7図は、本発明の第3実施例である炭化ケイ素縦型MOSFETを説明するための模式断面図である。第3実施例は、前記第1実施例および第2実施例の図中で使用した番号を同じ部分に使用する。第3実施例は、ゲート構造を除いて、基本的な構造が実施例1と同じである。実施例1と異なる点は、低濃度n型ベース領域4の表面上にあるゲート絶縁膜6が約400nmと、他の領域のゲート絶縁膜6よりも厚くなっている部分を有することである。前記ゲート絶縁膜6の構造



は、実施例 2 の構造に対しても適用でき、効果も同様である。

第 8 図は、本発明の第 4 実施例である炭化ケイ素縦型 MOSFET を説明するための模式断面図である。第 4 実施例は、前記第 1 実施例  
5 ないし第 3 実施例の図中で使用した番号を同じ部分に使用する。第 4 実施例は、ゲート構造を除き、基本的な構造は、実施例 1 に示した第 1 図と同じである。実施例 1 と異なる点は、低濃度 n 型ベース領域 4 表面上に、ゲート電極 7 が除かれた部分を有し、ゲート絶縁膜 6 上に、層間絶縁膜 8 が直接堆積されていることである。前記ゲート構造は、実施例 2 の構造に対しても適用でき、効果も同様である。

10 第 9 図は、本発明の第 5 実施例である炭化ケイ素縦型 MOSFET を説明するための模式断面図である。第 5 実施例は、第 1 図に示された第 1 実施例における凹部 4 1 が無い点、および低濃度 n 型不純物からなる埋め込みチャネル領域 9 1 を設けた点で異なっている。前記埋め込みチャネル領域 9 1 は、窒素イオンがたとえば、 $1 \times 10^{17} \text{ cm}^{-3}$   
15 で、その深さが  $0.2 \mu\text{m}$  とした。前記第 5 実施例の動作は、第 1 図における第 1 実施例とほぼ同じであった。また、第 5 実施例は、前記第 1 実施例ないし第 4 実施例とともに、適用することもできる。

第 10 図は、本発明の第 6 実施例である炭化ケイ素縦型 MOSFET を説明するための模式断面図である。第 6 実施例は、層間絶縁膜 8  
20 の代わりに絶縁被膜 8' を設けた点、およびソース電極 9' の形状が異なる点で第 1 実施例ないし第 5 実施例と異なり、他の部分およびこれらに対する符号に関しては同じである。すなわち、第 6 実施例における炭化ケイ素縦型 MOSFET のソース電極 9' は、ゲート電極 7 の上部にない。したがって、ゲート電極 7 は、層間絶縁膜 8 を介することなく、絶縁被膜 8' によって覆われている。前記第 6 実施例における構造は、ゲート電極 7 とソース電極 9' との電氣的な短絡の発生  
25 を防止する効果がある。

第 11 図は、本発明の第 7 実施例である炭化ケイ素縦型 MOSFET を説明するための模式断面図である。第 7 実施例は、第 4 図に示さ

れている第2実施例における層間絶縁膜8とソース電極9を前記第6実施例と同様にしたものである。

本発明の炭化ケイ素半導体装置において、チャネル移動度を向上させ、かつ低いオン抵抗と同時に高耐圧を達成した理由をさらに詳述する。

チャネル移動度を向上させるためには、チャネルが形成されるp型層の表面濃度を低減する必要がある、高耐圧にするためには、前記p型層の底部を高濃度にする必要がある。この理由は、高濃度p<sup>+</sup>型層の底部に挟まれた低濃度n型層を低い逆バイアスでピンチオフするため、および、高濃度n<sup>+</sup>型ソース領域と低濃度n型ドリフト層とがパンチスルーを起こすのを防ぐためである。

従来の炭化ケイ素プレーナ型縦型MOSFETは、不純物元素の拡散係数が炭化ケイ素基板内において、極めて小さいため、二重拡散法で作製することが困難であり、さらに、二重イオン注入法で作製した場合は、プロファイルが表面方向にテールを引くため、p型層の底部を高濃度にすると表面も高濃度になってしまい、オン抵抗が高くなってしまう。

そこで、第15図に示すような方法を採用すると、低いオン抵抗とすることができるが、高耐圧にすることができなかった。本発明の炭化ケイ素縦型MOSFETは、高濃度p<sup>+</sup>型層で挟まれたn型領域の濃度が低いため、低いオン抵抗と高耐圧の両方を達成することができるようになった。

低濃度のn型ベース領域の濃度を高濃度のp<sup>+</sup>型チャネル領域より低くした理由は、前記低濃度のn型ベース領域をピンチオフさせるためのドレイン電圧を低く抑え、高耐圧化するためである。換言すると、前記低濃度のn型ベース領域と前記高濃度のp<sup>+</sup>型チャネル領域の境界面から前記低濃度のn型ベース領域内に延びる空乏層の幅をより大きくするためである。本発明は、前記切り欠き部（欠除した領域）を有するため、前記低濃度のn型ベース領域の濃度を前記高濃度のp<sup>+</sup>型チャ

ャネル領域より低くできる。

以上、本発明の実施例を詳述したが、本発明は、前記実施例に限定されるものではない。そして、特許請求の範囲に記載された本発明を逸脱することがなければ、種々の設計変更を行うことが可能である。

- 5 前記実施例において、ストリップ型の炭化ケイ素半導体装置における模式断面図にしたがって説明したが、メッシュ型の炭化ケイ素半導体装置で、六角形型、丸型、あるいはこれらの変形タイプであっても、本発明の趣旨を逸脱しない範囲で形状を変えることができることはいうまでもないことである。また、同様に、切り欠かれている領域、欠除部、凹部等の形状は、本発明の作用を変えない程度に変形することは任意にできる。
- 10

#### 産業上の利用可能性

- 以上、詳述したように、本発明によれば、以下のような効果を奏する。
- 15

本発明によれば、低濃度 p 型堆積膜内に形成された低濃度のゲート領域を有する炭化ケイ素縦型 MOSFET を高耐圧化することができ、低いオン抵抗、かつ高耐圧の炭化ケイ素縦型 MOSFET の製造が可能となる。

- 20 本発明によれば、第 1 伝導型の低濃度ベース領域の第 1 伝導型の不純物濃度が第 2 伝導型の高濃度ゲート層の第 2 伝導型の不純物濃度よりも低くすることにより、炭化ケイ素縦型 MOSFET を高耐圧化することができる。

- 25 本発明によれば、第 2 の堆積膜内に選択的に形成された第 2 伝導型のゲート領域のゲート絶縁膜と接する部分の第 2 伝導型の不純物濃度を最適化することにより、炭化ケイ素縦型 MOSFET のオン抵抗を低減することができる。

本発明によれば、第 2 の堆積膜内に選択的に形成された第 1 伝導型の低濃度ベース領域内の第 2 伝導型の高濃度ゲート領域と接する部分

の第1伝導型の不純物濃度を最適化することにより、炭化ケイ素縦型MOSFETを高耐圧化することができる。

本発明によれば、第2伝導型の高濃度ゲート領域を第1の堆積膜上に形成した高濃度の第2伝導型の炭化ケイ素からなる第3の堆積膜と  
5 したことにより、ゲート領域並びに第1伝導型の低濃度ベース領域内の第2伝導型の高濃度ゲート領域と接する部分の双方の不純物濃度を低減することができる。

本発明によれば、第2伝導型の高濃度のゲート領域を前記第1の堆積膜内に形成したことにより、ゲート領域並びに第1伝導型の低濃度  
10 ベース領域内の第2伝導型の高濃度ゲート層と接する部分の双方の不純物濃度を低減することができる。

本発明によれば、第2の堆積膜上に形成されたゲート絶縁膜が、少なくとも第2の堆積膜内に選択的に形成された第1伝導型の低濃度ベース領域上に、その他の領域より厚くなっている部分を有することにより、ゲート絶縁膜と第1伝導型の低濃度ベース領域との界面近傍が高抵抗化せずオン抵抗が低減できる。  
15

本発明によれば、第2の堆積膜内に選択的に形成された第1伝導型の低濃度ベース領域の表面上に、少なくともゲート電極が除かれた部分を有することにより、ゲート絶縁膜と第1伝導型の低濃度ベース領域との界面近傍が高抵抗化せずオン抵抗が低減できる。  
20

本発明によれば、第1伝導型の炭化ケイ素基板表面の結晶学的面指数が(11-20)面あるいは(000-1)面に対して平行な面であるため、ゲート絶縁膜とチャネル領域との界面準位密度が軽減し、オン抵抗が低減できる。

本発明によれば、低濃度のゲート領域と低濃度の第1伝導型の低濃度ベース領域を形成することができ、低いオン抵抗でかつ高耐圧の炭化ケイ素縦型MOSFETの製造を容易にすることができる。  
25

本発明によれば、第2堆積膜の膜厚の下限は、エピタキシャル層の品質限界により、すなわち、堆積される膜の厚さが0.2  $\mu\text{m}$ 以下で

は膜の結晶品質が悪く、電子移動度が低くなる。また、前記膜厚の上限は、製造プロセスの難度により制限される。すなわち、第1伝導型の第2領域の形成は、第2図(e)と(f)及び第5図(e)と(f)に示されているように、第2伝導型に堆積された堆積膜の表面から第1伝導型のドーパントイオンの注入により形成される(これを打ち返しと呼ぶ)ので、膜厚が最大 $0.7\mu\text{m}$ を超えると極めて高いエネルギーの特殊なイオン注入が必要となり、製作が難しくなる。

上部堆積膜における不純物濃度の上限( $5 \times 10^{15} \text{cm}^{-3}$ )は、反転型チャネル移動度が濃度に反比例して増大するので、高い移動度には不純物濃度は、 $2 \times 10^{16} \text{cm}^{-3}$ 以下であることが必要だが、より好ましくは $5 \times 10^{15} \text{cm}^{-3}$ 以下が良い。濃度の下限は、製造プロセスの制御可能限界により制限され、 $1 \times 10^{15} \text{cm}^{-3}$ 以下の濃度制御は極めて難しい。また、前記打ち返しイオン注入の注入量を少なくできるので、前記第2の領域を低濃度化でき、それによってピンチ効果増大により素子の高耐圧化が容易になる。

## 請 求 の 範 囲

1. 第1伝導型の高濃度炭化ケイ素基板(1)表面上に形成されている第1伝導型の低濃度炭化ケイ素からなる第1の堆積膜(2)と、

5 前記第1の堆積膜(2)上に選択的に切り欠かれている第1の領域を有する第2伝導型の高濃度ゲート領域からなる第2の堆積膜(31)と、

前記第2の堆積膜(31)上に選択的に切り欠かれている前記第1の領域より幅が広い第2の領域と第1伝導型の高濃度ソース領域(5)  
10 )と第2伝導型の低濃度ゲート領域からなる第3の堆積膜(32)と、

前記第1の堆積膜(2)に接し、前記第1の領域および第2の領域に形成されている第1伝導型の低濃度ベース領域(4)と、

15 少なくとも前記第3の堆積膜(32)の表面上に形成されたゲート絶縁膜(6)と、

前記ゲート絶縁膜(6)を介して形成されたゲート電極(7)と、

前記第1伝導型の炭化ケイ素基板の裏面に低抵抗接続されたドレイン電極(10)と、

20 前記第1伝導型の高濃度ソース領域(5)および第2伝導型の低濃度ゲート領域(32)の一部に低抵抗接続されているソース電極(9)と、

からなることを特徴とする炭化ケイ素半導体装置。

2. 前記第3の堆積膜(32)の厚さは、 $0.2\mu\text{m} \sim 0.7\mu\text{m}$ の範囲にあり、かつ、前記第3の堆積膜(32)内に選択的に形成された前記第2伝導型の低濃度ゲート領域(11)において、前記ゲート絶縁膜(6)と接する部分の不純物濃度は、 $1 \times 10^{15}\text{cm}^{-3}$ より高濃度で、 $5 \times 10^{15}\text{cm}^{-3}$ より低濃度であることを特徴とする請求の範囲第1項記載の炭化ケイ素半導体装置。

3. 前記第1伝導型の低濃度ベース領域(4)における上面には、

前記ゲート絶縁膜（６）と接する部分の少なくとも一部に凹部（４１）が設けられていることを特徴とする請求の範囲第１項又は請求の範囲第２項記載の炭化ケイ素半導体装置。

４． 前記第１伝導型の低濃度ベース領域（４）の不純物濃度は、前記第２伝導型の高濃度ゲート領域（３１）の不純物濃度よりも低いことを特徴とする請求の範囲第１項乃至請求の範囲第３項のいずれか１項記載の炭化ケイ素半導体装置。

５． 前記第３の堆積膜（３２）内に選択的に形成された前記第２伝導型の低濃度ゲート領域（１１）において、前記ゲート絶縁膜（６）と接する部分の不純物濃度は、 $2 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする請求の範囲第１項乃至請求の範囲第４項のいずれか１項記載の炭化ケイ素半導体装置。

６． 前記第３の堆積膜（３２）内に選択的に形成された前記第１伝導型の低濃度ベース領域（４）の不純物濃度は、前記第２伝導型の高濃度ゲート領域（３１）と接する部分において、 $4 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする請求の範囲第１項乃至請求の範囲第５項のいずれか１項記載の炭化ケイ素半導体装置。

７． 前記第２伝導型の高濃度ゲート領域（３１）は、第１の堆積膜（２）上に形成された炭化ケイ素からなる第２の堆積膜（３１）であることを特徴とする請求の範囲第１項乃至請求の範囲第６項のいずれか１項記載の炭化ケイ素半導体装置。

８． 前記第３の堆積膜（３２）上に形成されたゲート絶縁膜（６）は、少なくとも前記第３の堆積膜（３２）内に選択的に形成された第１伝導型の低濃度ベース領域（４）上において、他の部分より厚くなっている部分を有することを特徴とする請求の範囲第１項乃至請求の範囲第７項のいずれか１項記載の炭化ケイ素半導体装置。

９． 前記第３の堆積膜（３２）内に選択的に形成された第１伝導型のベース領域（４）の表面上において、ゲート電極（７）は、少なくとも一部が除かれていることを特徴とする請求の範囲第１項乃至請求

の範囲第 8 項のいずれか 1 項記載の炭化ケイ素半導体装置。

10. 前記第 1 伝導型の炭化ケイ素基板 (1) 表面の結晶学的面指数は、(11-20) 面に対して平行な面であることを特徴とする請求の範囲第 1 項乃至請求の範囲第 9 項のいずれか 1 項記載の炭化ケイ素半導体装置。

11. 前記第 1 伝導型の炭化ケイ素基板 (1) 表面の結晶学的面指数は、(000-1) 面に対して平行な面であることを特徴とする請求の範囲第 1 項乃至請求の範囲第 10 項のいずれか 1 項記載の炭化ケイ素半導体装置。

12. 前記第 2 伝導型の低濃度ゲート領域 (11) 内の前記ゲート絶縁膜 (6) と接する部分には、第 1 伝導型の埋め込みチャネル領域 (91) を有することを特徴とする請求の範囲第 1 項乃至請求の範囲第 11 項のいずれか 1 項記載の炭化ケイ素半導体装置。

13. 第 1 伝導型の高濃度炭化ケイ素基板 (1) 表面上に形成されている第 1 伝導型の低濃度炭化ケイ素からなる下部堆積膜 (2) と、前記第 1 伝導型の低濃度炭化ケイ素が残されている第 1 の領域を有するように

前記下部堆積膜 (2) 内に選択的に形成された第 2 伝導型の高濃度ゲート領域 (31) と、

前記下部堆積膜 (2) 上に選択的に前記第 1 の領域より幅が広い第 2 領域からなる第 1 伝導型の低濃度ベース領域 (4) と、前記第 1 伝導型の高濃度ソース領域 (5) と、第 2 伝導型の低濃度ゲート領域 (11) とからなる上部堆積膜 (32) と、

少なくとも前記上部堆積膜 (32) の表面上に形成されたゲート絶縁膜 (6) と、

前記ゲート絶縁膜 (6) を介して形成されたゲート電極 (7) と、

前記第 1 伝導型の炭化ケイ素基板 (1) の裏面に低抵抗接続されたドレイン電極 (10) と、

前記第 1 伝導型の高濃度ソース領域 (5) および第 2 伝導型の低濃



度ゲート領域（１１）の一部に低抵抗接続されているソース電極（９）と、

からなることを特徴とする炭化ケイ素半導体装置。

１４．前記上部堆積膜（３２）の厚さは、 $0.2\mu\text{m}\sim 0.7\mu\text{m}$ の範囲にあり、かつ、前記上部堆積膜（３２）内に選択的に形成された前記第２伝導型の低濃度ゲート領域（１１）において、前記ゲート絶縁膜（６）と接する部分の不純物濃度は、 $1\times 10^{15}\text{cm}^{-3}$ より高濃度で、 $5\times 10^{15}\text{cm}^{-3}$ より低濃度であることを特徴とする請求の範囲第１３項記載の炭化ケイ素半導体装置。

１５．前記第１伝導型の低濃度ベース領域（４）の不純物濃度は、前記第２伝導型の高濃度ゲート領域（３１）の不純物濃度よりも低いことを特徴とする請求の範囲第１３項又は請求の範囲第１４項記載の炭化ケイ素半導体装置。

１６．前記上部堆積膜（３２）内に選択的に形成された前記第２伝導型の低濃度ゲート領域（１１）において、前記ゲート絶縁膜（６）と接する部分の不純物濃度は、 $2\times 10^{16}\text{cm}^{-3}$ 以下であることを特徴とする請求の範囲第１３項乃至請求の範囲第１５項のいずれか１項記載の炭化ケイ素半導体装置。

１７．前記上部堆積膜（３２）は、炭化ケイ素からなることを特徴とする請求の範囲第１３項乃至請求の範囲第１６項のいずれか１項記載の炭化ケイ素半導体装置。

１８．前記上部堆積膜（３２）上に形成されたゲート絶縁膜（６）は、少なくとも前記上部堆積膜（３２）内に選択的に形成された第１伝導型の低濃度ベース領域（４）上において、他の部分より厚くなっている部分を有することを特徴とする請求の範囲第１３項乃至請求の範囲第１７項のいずれか１項記載の炭化ケイ素半導体装置。

１９．前記上部堆積膜（３２）内に選択的に形成された第１伝導型の低濃度ベース領域（４）の表面上において、ゲート電極（７）は、少なくとも一部が除かれていることを特徴とする請求の範囲第１３項乃至請求の範囲第１８項のいずれか１項記載の炭化ケイ素半導体装置。

至請求の範囲第 18 項のいずれか 1 項記載の炭化ケイ素半導体装置。

20. 前記第 1 伝導型の炭化ケイ素基板 (1) 表面の結晶学的面指数は、(11-20) 面に対して平行な面であることを特徴とする請求の範囲第 13 項乃至請求の範囲第 19 項のいずれか 1 項記載の炭化ケイ素半導体装置。

21. 前記第 1 伝導型の炭化ケイ素基板 (1) 表面の結晶学的面指数は、(000-1) 面に対して平行な面であることを特徴とする請求の範囲第 13 項乃至請求の範囲第 20 項のいずれか 1 項記載の炭化ケイ素半導体装置。

22. 前記第 2 伝導型の低濃度ゲート領域 (11) 内の前記ゲート絶縁膜 (6) と接する部分には、第 1 伝導型の埋め込みチャネル領域 (91) を有することを特徴とする請求の範囲第 13 項乃至請求の範囲第 21 項のいずれか 1 項記載の炭化ケイ素半導体装置。

23. 第 1 伝導型の高濃度炭化ケイ素基板 (1) 表面上に第 1 伝導型の低濃度炭化ケイ素からなる第 1 の堆積膜 (2) を形成する工程と、  
前記第 1 の堆積膜 (2) 上に前記第 2 伝導型の高濃度領域が選択的に欠除した第 1 の領域を有する第 2 の堆積膜 (31) を形成する工程と、

前記第 2 の堆積膜 (31) 上および前記第 2 の堆積膜 (31) が選択的に欠除した第 1 の領域に形成された第 2 伝導型の低濃度領域からなる第 3 の堆積膜 (32) を形成する工程と、

前記第 3 の堆積膜 (32) に選択的に前記第 1 の領域より幅を広くした第 2 の領域が形成されるように、前記第 1 伝導型の低濃度炭化ケイ素からなる第 1 の堆積膜 (2) に接し、前記第 1 の領域および第 2 の領域に第 1 伝導型の低濃度ベース領域 (4) を形成し、また、前記第 3 の堆積膜 (32) に選択的に第 1 伝導型の高濃度炭化ケイ素からなるソース領域 (5) を形成する工程と、

少なくとも前記第 3 の堆積膜 (32) の表面上にゲート絶縁膜 (6) を形成する工程と、

前記ゲート絶縁膜（６）を介してゲート電極（７）を形成する工程と、

前記第１伝導型の炭化ケイ素基板（１）の裏面に低抵抗接続されるドレイン電極（１０）を形成する工程と、

- 5 前記第１伝導型の高濃度ソース領域（５）および第２伝導型の低濃度ゲート領域（１１）の一部に低抵抗接続されるソース電極（９）を形成する工程と、

を少なくとも有することを特徴とする炭化ケイ素半導体装置の製造方法。

- 10 24. 前記第１の堆積膜（２）上に前記第２の堆積膜（３１）を形成する工程と、

前記第２の堆積膜（３１）表面から前記第１の堆積膜（２）に達するトレンチ溝（４１）を形成する工程と、

- 15 前記第２の堆積膜（３１）および前記トレンチ溝（４１）の上に第３の堆積膜（３２）を形成する工程と、

前記第３の堆積膜（３２）内に前記第１伝導型の低濃度ベース領域（４）を形成するために選択的に第１伝導型の不純物イオン注入を行う工程と、

- 20 有することを特徴とする請求の範囲第２３項記載の炭化ケイ素半導体装置の製造方法。

25 25. 第１伝導型の高濃度炭化ケイ素基板（１）表面上に第１伝導型の低濃度炭化ケイ素からなる下部堆積膜（２）を形成する工程と、

前記下部堆積膜（２）中に第２伝導型の不純物領域（３１）を形成する工程と、

- 前記第２伝導型の不純物領域（３１）が形成されている下部堆積膜（２）上に第２伝導型の低濃度ゲート領域（１１）となる上部堆積膜（３２）を形成する工程と、

前記上部堆積膜（３２）に第１伝導型の高濃度ソース領域（５）を形成する工程と、

前記上部堆積膜（３２）に前記下部堆積膜（２）に接する第１伝導型の低濃度ベース領域（４）を形成する工程と、

少なくとも前記上部堆積膜（３２）の表面上にゲート絶縁膜（６）を形成する工程と、

5 前記ゲート絶縁膜（６）を介してゲート電極（７）を形成する工程と、

前記第１伝導型の炭化ケイ素基板（１）の裏面に低抵抗接続されるドレイン電極（１０）を形成する工程と、

10 前記第１伝導型の高濃度ソース領域（５）および第２伝導型の低濃度ゲート領域（１１）の一部に低抵抗接続されるソース電極（９）を形成する工程と、

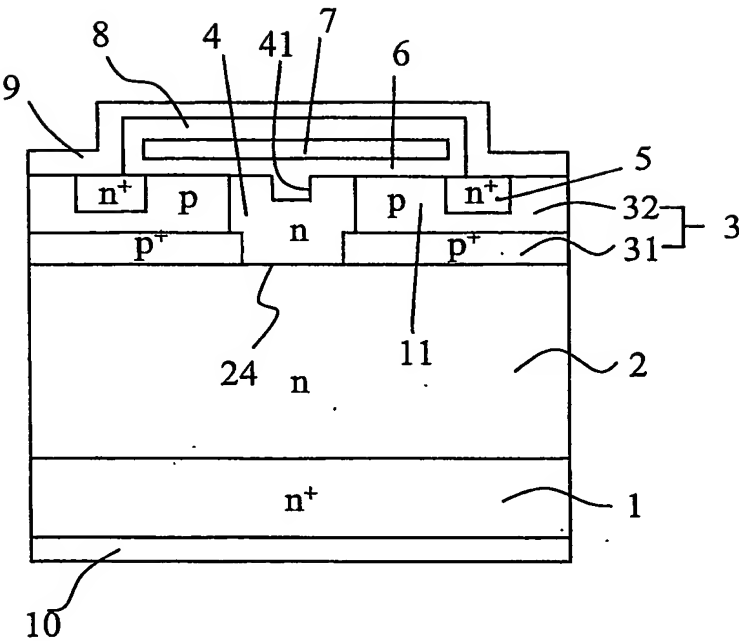
を少なくとも有することを特徴とする炭化ケイ素半導体装置の製造方法。

15 26. 前記低濃度炭化ケイ素からなる下部堆積膜（２）に高濃度の第２伝導型の不純物イオン注入により形成し、その上に上部堆積膜（３２）を形成する工程と、

前記上部堆積膜（３２）内に前記第１伝導型の低濃度ベース領域（４）を形成するために選択的に第１伝導型の不純物イオン注入を行う工程と、

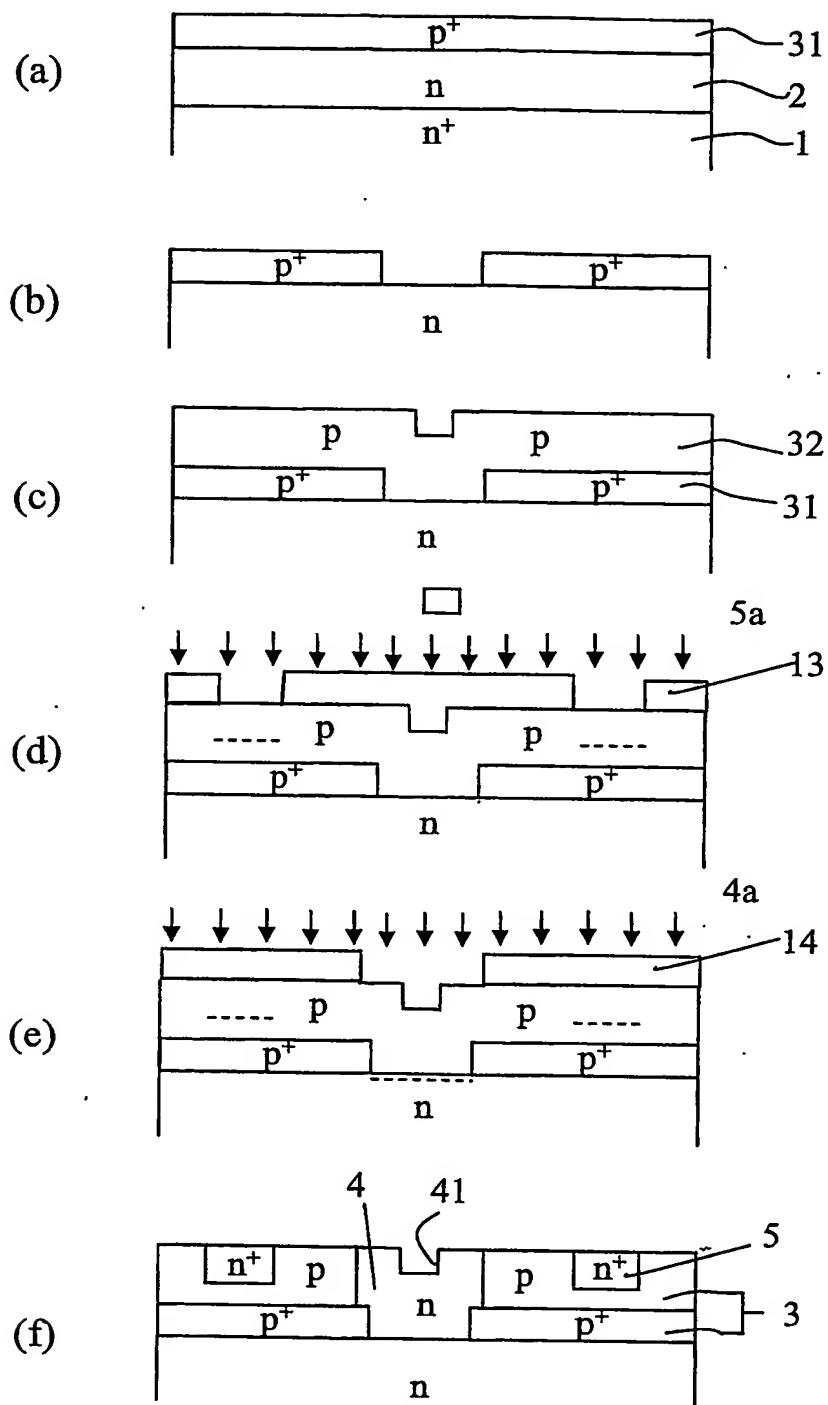
20 有することを特徴とする請求の範囲第２５項記載の炭化ケイ素半導体装置の製造方法。

第1図



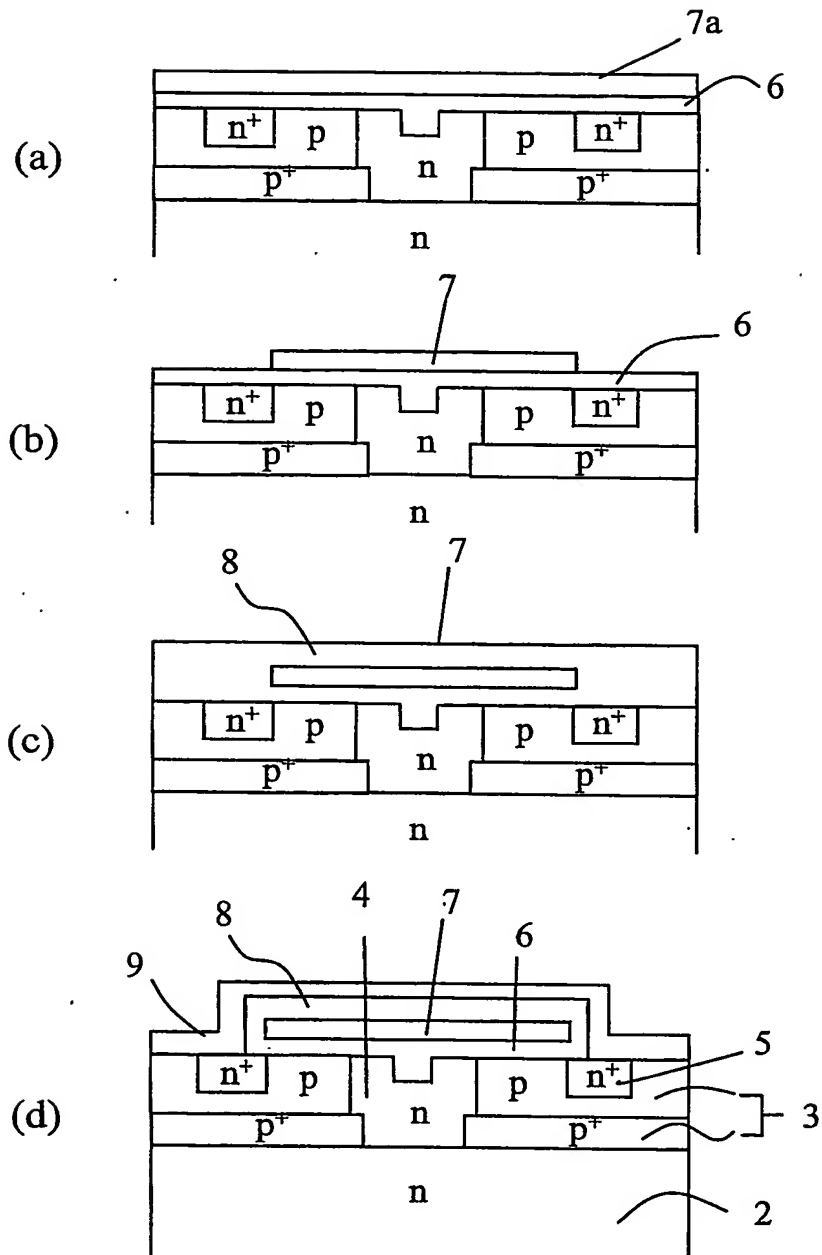
2/17

## 第 2 図



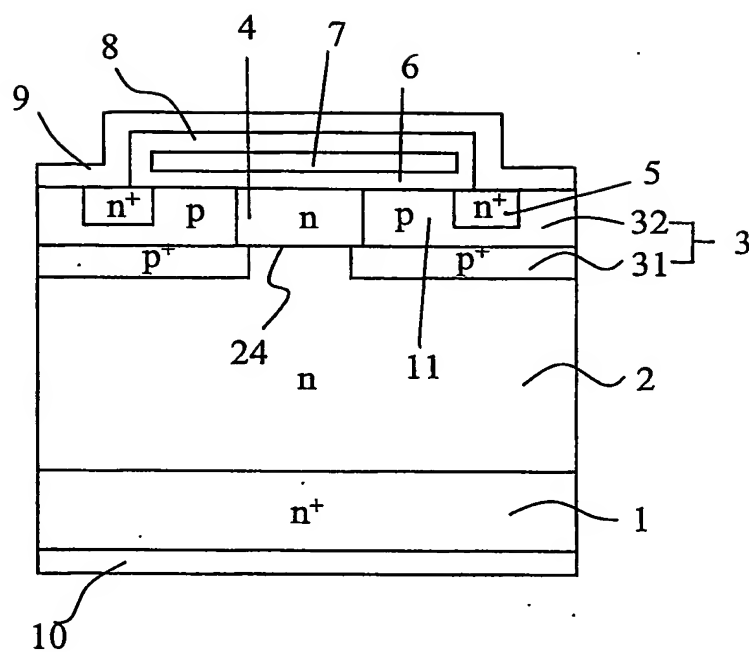
3/17

第 3 図



4/17

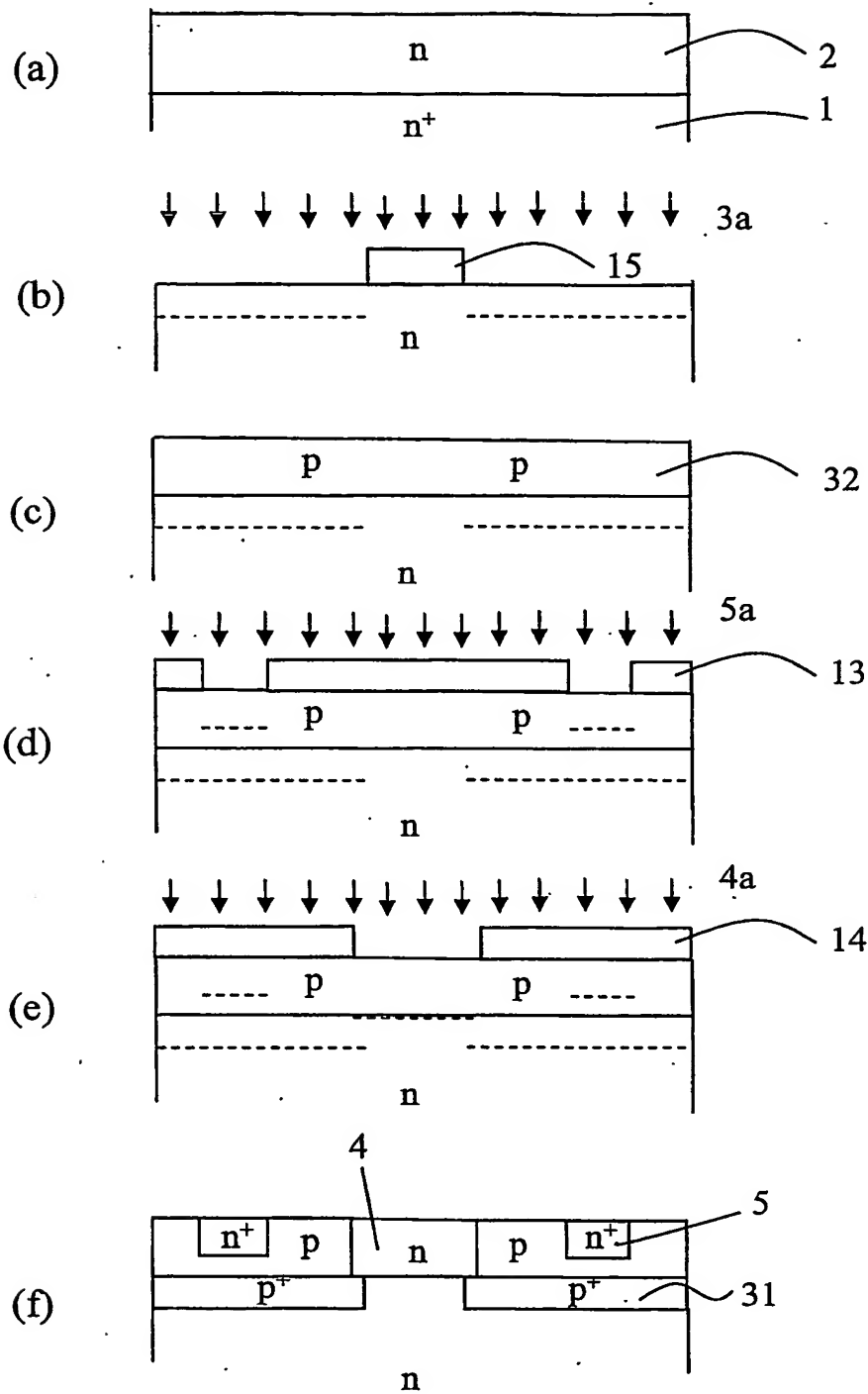
第4図





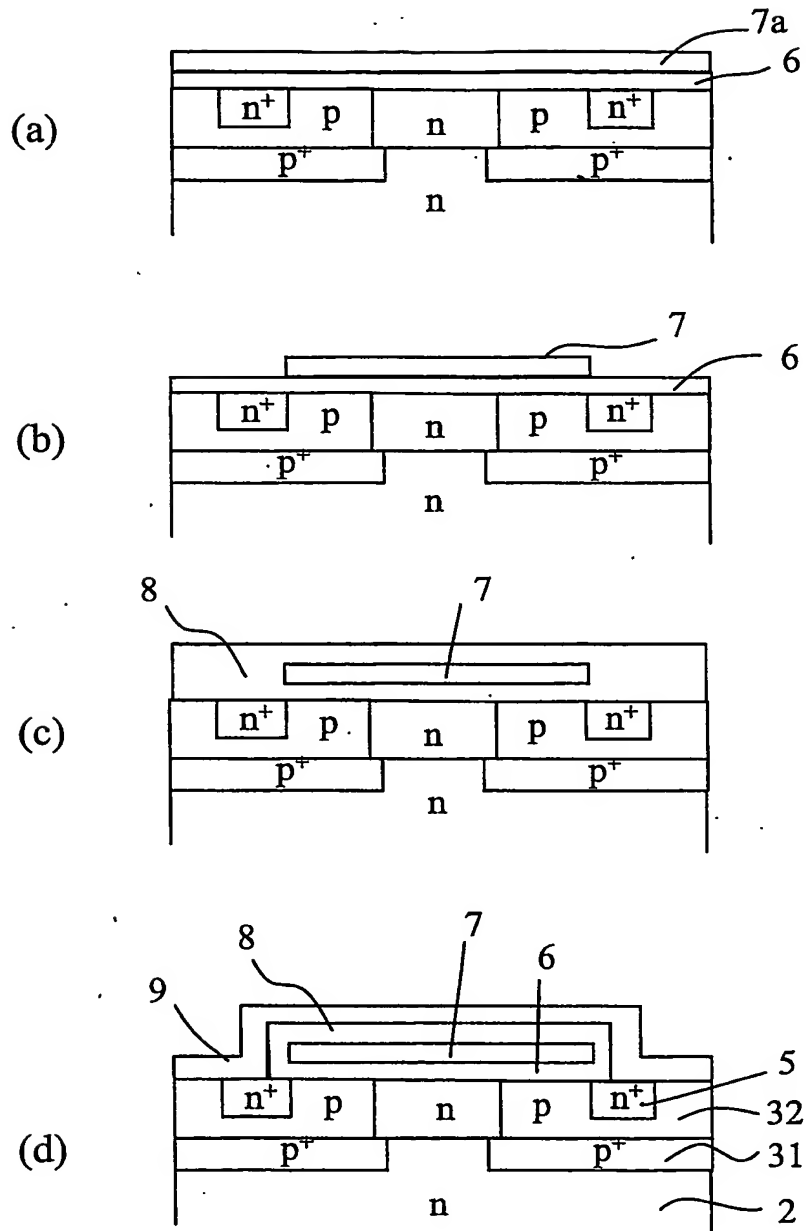
5/17

## 第5図



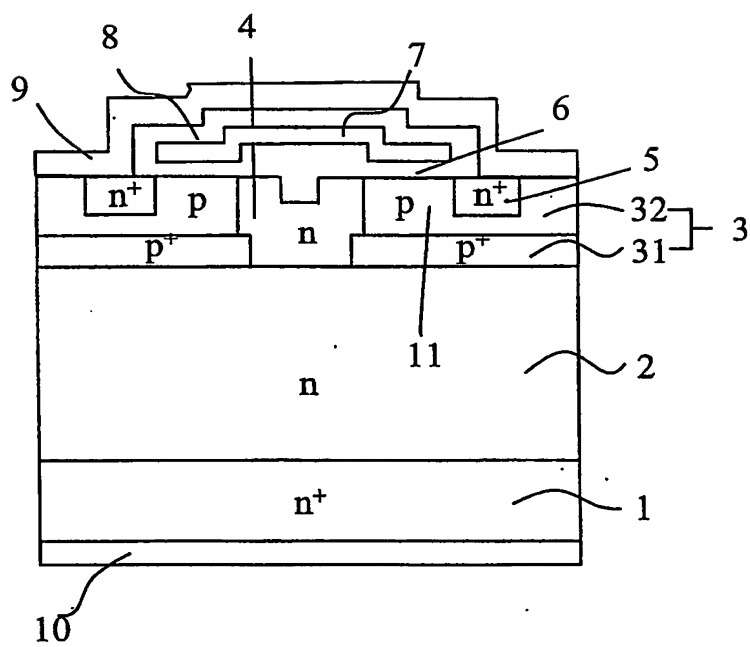
6/17

第6図



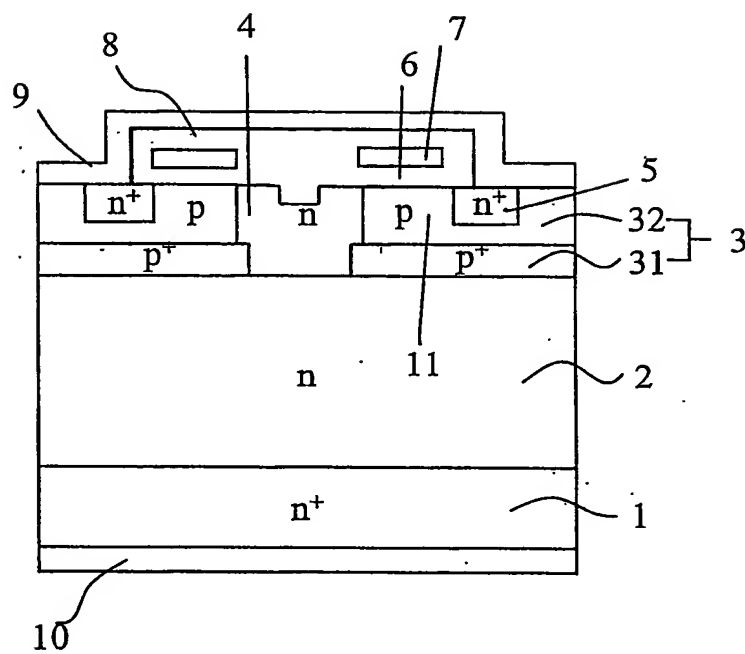
7/17

第7図



8/17

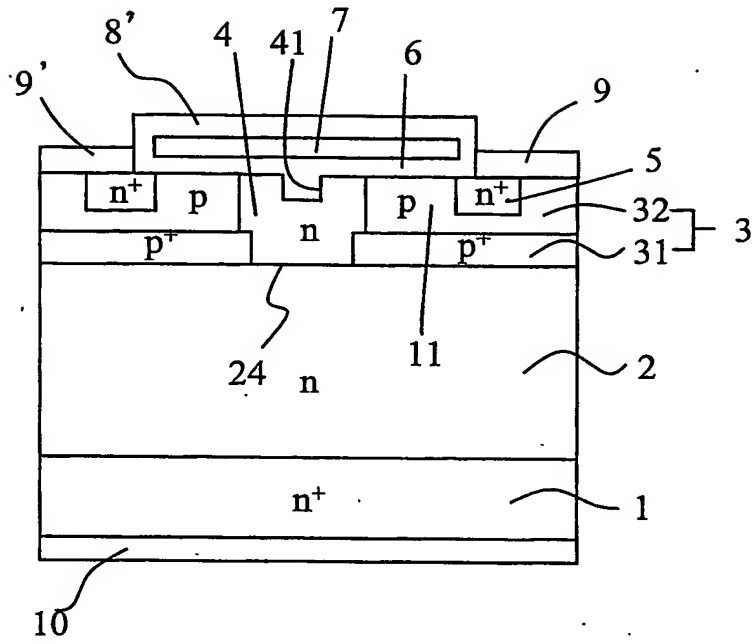
## 第 8 図





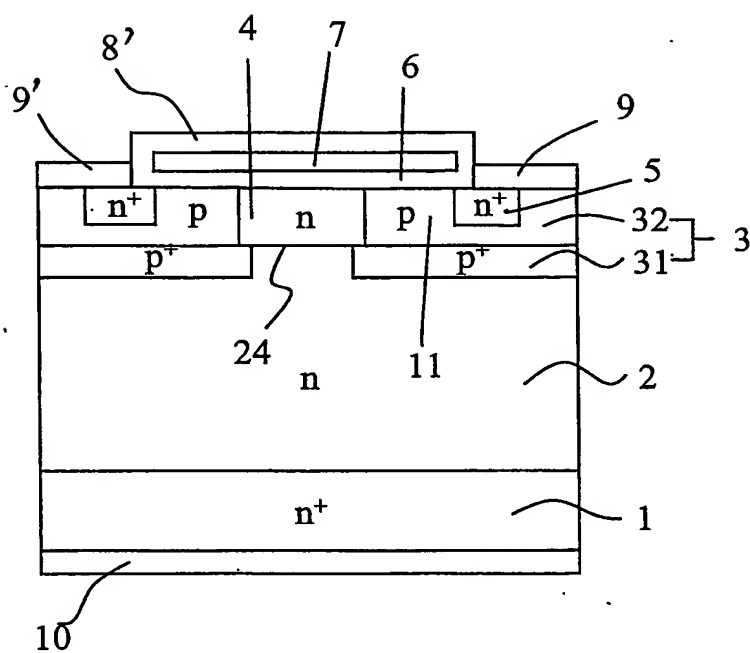
10/17

第10図



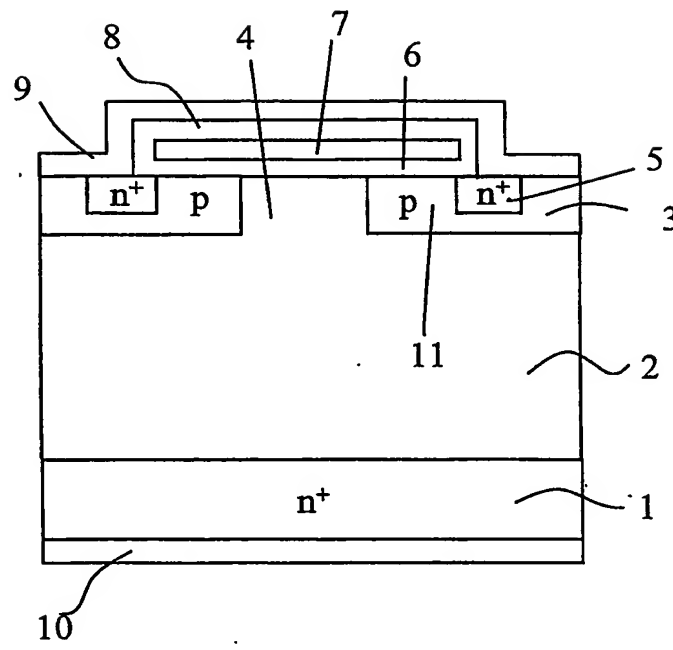
11/17

第11図



12/17

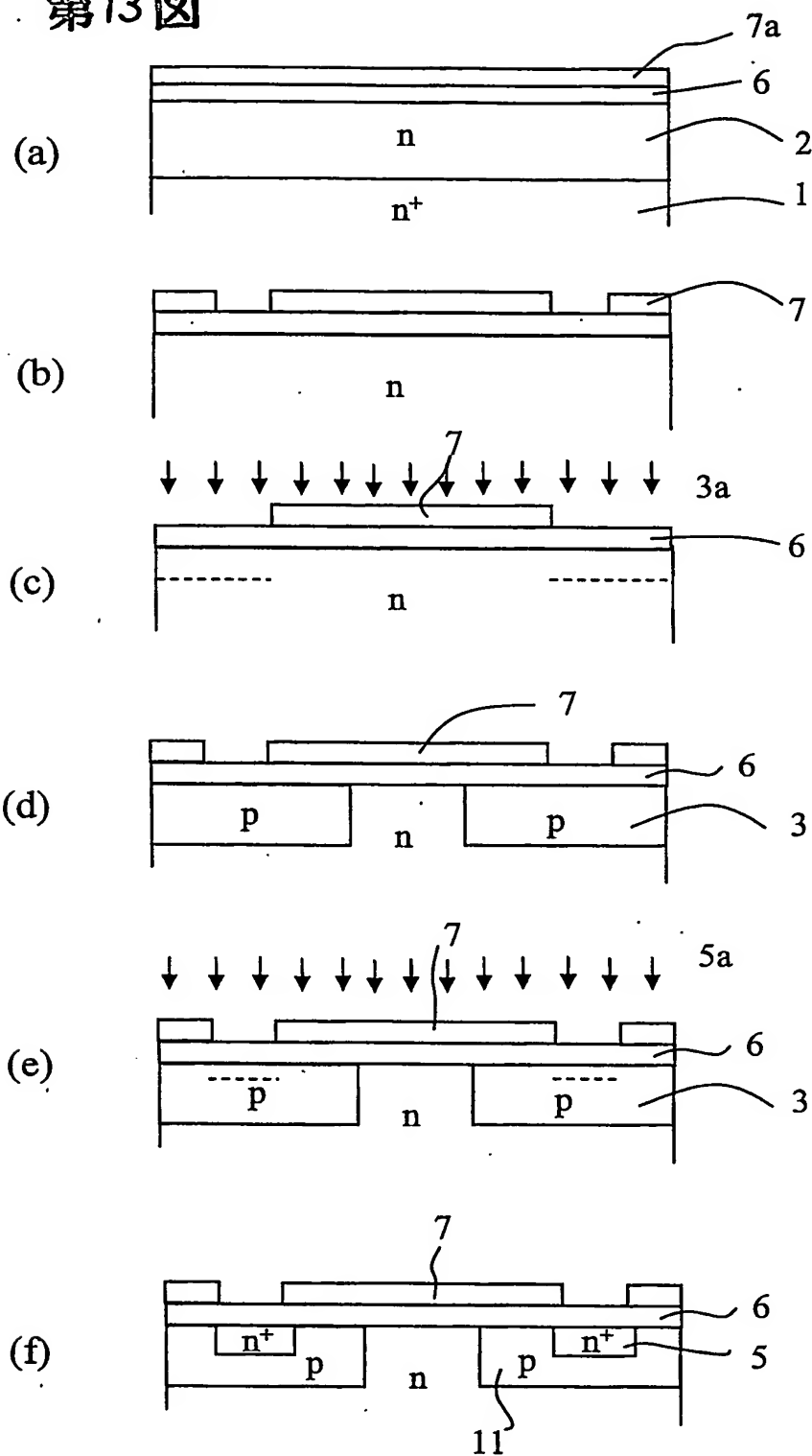
第12図





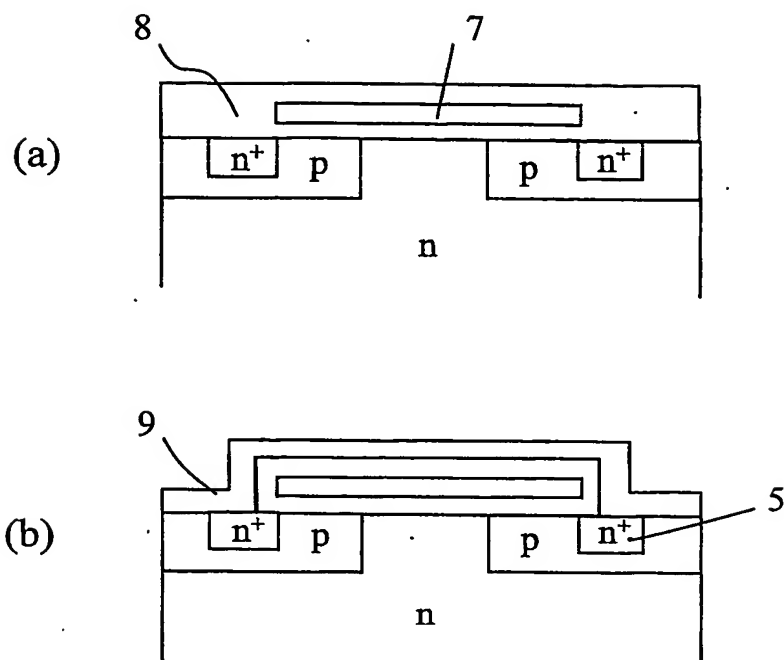
13/17

第13図



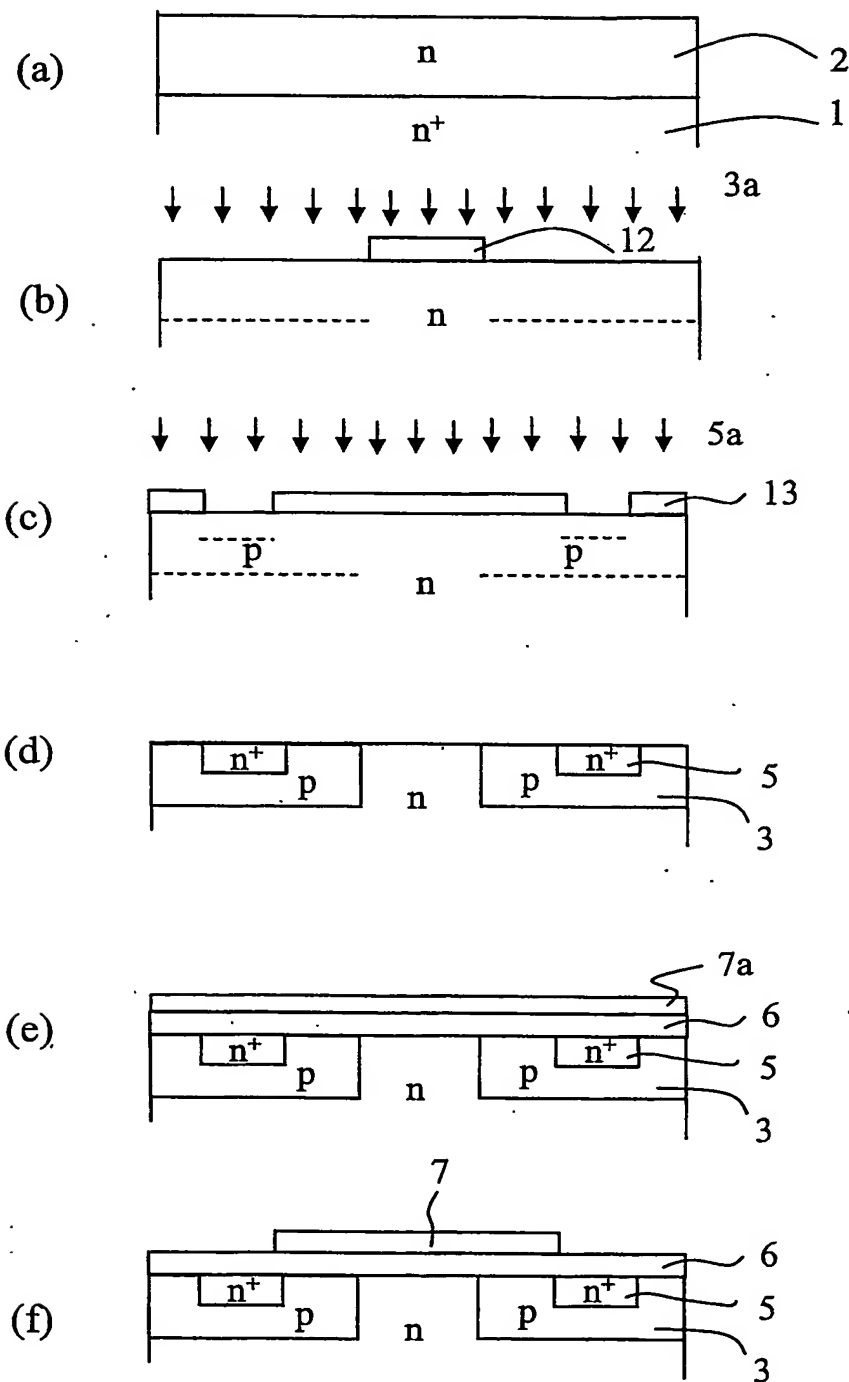
14/17

第14図



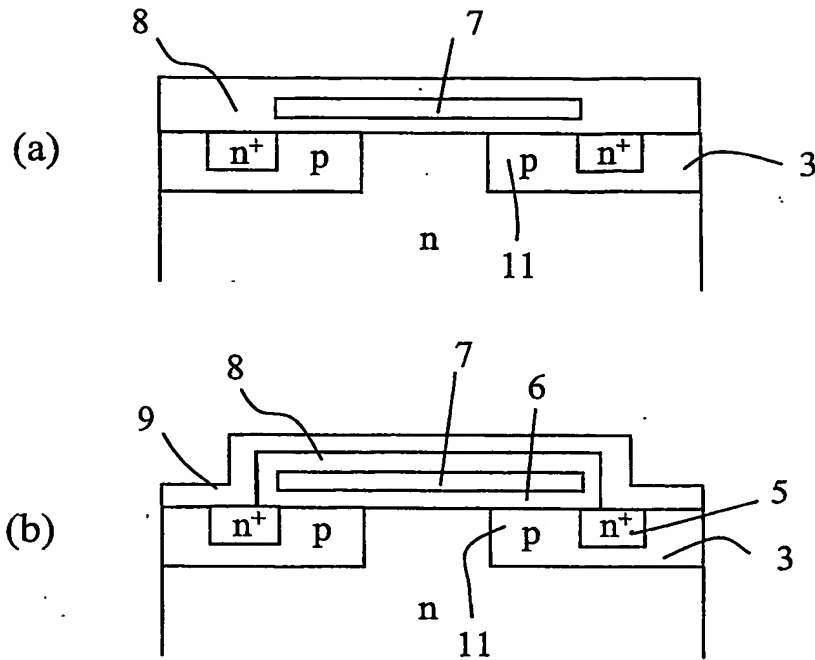
15/17

## 第15図



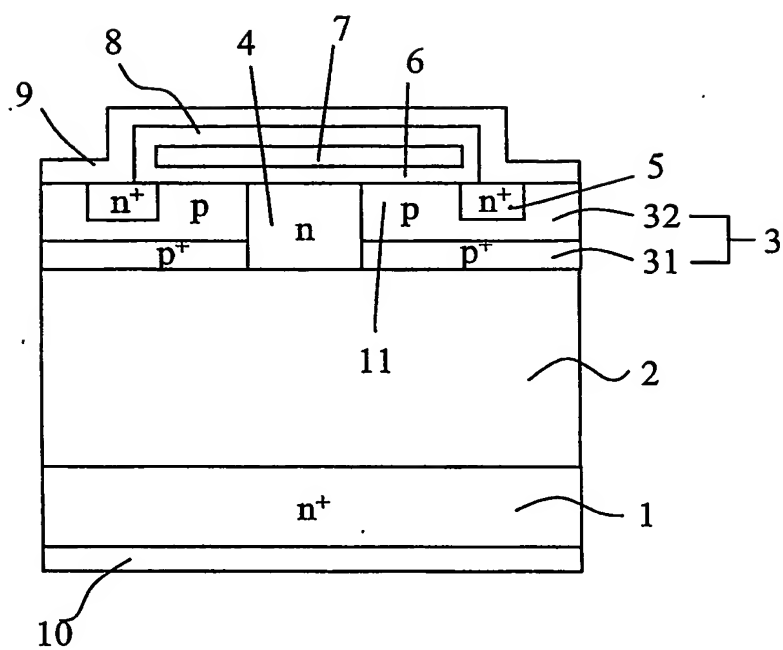
16/17

## 第16図



17/17

第17図



# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP03/12727

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl.<sup>7</sup> H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003  
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-119025 A (Matsushita Electric Industrial Co., Ltd.), 27 April, 2001 (27.04.01), Full text; all drawings (Family: none)	1-26
A	JP 2000-150875 A (Toshiba Corp.), 30 May, 2000 (30.05.00), Full text; all drawings (Family: none)	1-26
A	JP 1-144683 A (Fuji Electric Co., Ltd.), 06 June, 1989 (06.06.89), Full text; all drawings (Family: none)	1-26

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
16 December, 2003 (16.12.03)

Date of mailing of the international search report  
13 January, 2004 (13.01.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP03/12727

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 61-13667 A (Toshiba Corp.), 21 January, 1986 (21.01.86), Full text; all drawings (Family: none)	1-26

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>1</sup> H01L29/78

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>1</sup> H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国登録実用新案公報 1994-2003年  
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-119025 A (松下電器産業株式会社) 2001.04.27, 全文, 全図 (ファミリーなし)	1-26
A	JP 2000-150875 A (株式会社東芝) 2000.05.30, 全文, 全図 (ファミリーなし)	1-26
A	JP 1-144683 A (富士電機株式会社) 1989.06.06, 全文, 全図 (ファミリーなし)	1-26

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に関する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

16.12.03

国際調査報告の発送日

13.01.04

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小野田 誠

4L

8427

電話番号 03-3581-1101 内線 3462



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 61-13667 A (株式会社東芝) 1986. 01. 21, 全文, 全図 (ファミリーなし)	1-26